

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-222117

(P2002-222117A)

(43) 公開日 平成14年 8 月 9 日 (2002. 8. 9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 6 F 12/06	5 2 1	G 0 6 F 12/06	5 2 1 D 5 B 0 4 5
12/02	5 7 0	12/02	5 7 0 J 5 B 0 5 6
	5 8 0		5 8 0 E 5 B 0 6 0
15/16	6 1 0	15/16	6 1 0 A
17/14		17/14	S
審査請求 未請求 請求項の数16 O L (全 25 頁)			

(21) 出願番号 特願2001-97520(P2001-97520)

(22) 出願日 平成13年 3 月29日 (2001. 3. 29)

(31) 優先権主張番号 特願2000-355945(P2000-355945)

(32) 優先日 平成12年11月22日 (2000. 11. 22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 久保 敏浩

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(72) 発明者 磯村 政一

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外 2 名)

F ターム(参考) 5B045 DD01 GG14

5B056 BB11 FF05

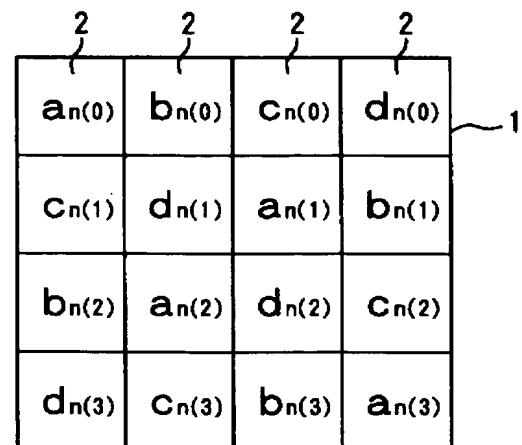
5B060 GA08 GA11

(54) 【発明の名称】 メモリの使用方法、2次元データ・アクセス・メモリ、及び演算処理装置

(57) 【要約】

【課題】 効率的な S I M D 演算に寄与できるメモリの使用方法等の提供。

【解決手段】 仮想最小2次元メモリ空間1を、縦横方向に配列した所定の2次元メモリ空間を想定し、仮想最小2次元メモリ空間1の各アドレスを、仮想最小2次元メモリ空間との関係で決まるn個の物理的なメモリの所定の各アドレスに予め割り当てておく。データの読み出しの際には、仮想最小2次元メモリ空間1上の読み出しアドレスを指定するとともに、その指定された読み出しアドレスを基準にデータの横方向または縦方向の読み出し方向を指定すると、その両指定に応じて、仮想最小2次元メモリ空間1上の縦方向または横方向に並ぶ連続データを、n個の各メモリの対応するアドレスからそれぞれ読み出す。



(2)

1

## 【特許請求の範囲】

【請求項1】 2次元的に形成される所定の仮想最小2次元メモリ空間を、縦横方向に配列した所定の2次元メモリ空間を想定し、

前記仮想最小2次元メモリ空間の各アドレスを、前記仮想最小2次元メモリ空間との関係で決まるn個の物理的なメモリの所定の各アドレスに予め割り当てておき、前記2次元メモリ空間上のデータを読み出すときには、前記仮想最小2次元メモリ空間上の読み出しアドレスを指定するとともに、その指定された読み出しアドレスを基準にデータの横方向または縦方向の読み出し方向を指定すると、その両指定に応じて、前記仮想最小2次元メモリ空間上の横方向または縦方向に並ぶ連続データを、前記n個の各メモリの対応するアドレスからそれぞれ読み出すようにしたことを特徴とするメモリの使用方法。

【請求項2】 さらに、前記2次元メモリ空間上にデータを書き込むときには、前記仮想最小2次元メモリ空間上の書き込みアドレスを指定するとともに、その指定された書き込みアドレスを基準にデータの横方向または縦方向の書き込み方向を指定すると、その両指定に応じて、前記仮想最小2次元メモリ空間上の横方向または縦方向に連続的に書き込むべき連続データを、前記n個の各メモリの対応するアドレスにそれぞれ書き込むようにしたことを特徴とする請求項1に記載のメモリの使用方法。

【請求項3】 2次元的に形成される所定の仮想最小2次元メモリ空間を、縦横方向に配列した所定の2次元メモリ空間を想定し、

前記仮想最小2次元メモリ空間の各アドレスを、前記仮想最小2次元メモリ空間との関係で決まるn個の物理的なメモリの所定の各アドレスに予め割り当てておき、前記2次元メモリ空間上のデータを読み出すときには、前記仮想最小2次元メモリ空間上の読み出しアドレスを指定するとともに、その指定された読み出しアドレスを基準にデータの所定読み出しパターンを指定すると、その両指定に応じて、前記仮想最小2次元メモリ空間上の所定データを、前記n個の各メモリの対応するアドレスからそれぞれ読み出すようにしたことを特徴とするメモリの使用方法。

【請求項4】 前記2次元メモリ空間には動画像の動きベクトル推定における参照データの一部を記憶し、前記2次元メモリ空間上のデータを読み出すときには、さらに、動きベクトル推定の際の所定のデータ読み出し方法を指定すると、前記読み出しアドレス、請求項1記載のデータの横方向または縦方向の読み出し方向あるいは請求項3記載のデータの所定読み出しパターンおよび前記データ読み出し方法に応じて、動きベクトル推定の際にデータの読み出しが完了した仮想最小2次元メモリ空間には、後続の所定参照データを順次書き込み、前記2次元メモリ空間の周縁を跨いでデータが参照される場合に

2

は、当該データの読み出しアドレスを後続の所定参照データが書き込まれた仮想最小2次元メモリ空間の所定アドレスに修正して読み出すようにしたことを特徴とする請求項1または3に記載のメモリの使用方法。

【請求項5】 前記2次元メモリ空間には動画像の動きベクトル推定における参照データの一部を記憶し、前記2次元メモリ空間上のデータを読み出すときには、さらに、動きベクトル推定の際の所定のデータ読み出し方法を指定すると、前記読み出しアドレス、請求項1記載のデータの横方向または縦方向の読み出し方向あるいは請求項3記載のデータの所定読み出しパターンおよび前記データ読み出し方法に応じて、前記参照データの存在範囲の周縁を跨いでデータが参照される場合には、前記参照データの存在範囲に含まれないデータの読み出しアドレスを前記参照データの存在範囲の周縁に位置する所定データのアドレスに修正して読み出すようにしたことを特徴とする請求項1または3に記載のメモリの使用方法。

【請求項6】 2次元的に形成される所定の仮想最小2次元メモリ空間を、縦横方向に配列した2次元メモリ空間を想定するとともに、前記仮想最小2次元メモリ空間の各アドレスが一定の規則で予めそれぞれに割り当てられているn個のメモリと、データの読み出しの際に、前記仮想最小2次元メモリ空間上のアクセス位置を特定し、この特定されたアクセス位置からデータを読み出す方向あるいはパターンを指定する読み出しアクセスモードに応じて前記n個のメモリからの各読み出しデータを並び替え、この並び替えた各読み出しデータを一括に出力する読み出しデータ制御部と、

読み出しアドレスの指定時に、前記指定読み出しアクセスモードと前記特定アクセス位置に応じて、またはアクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には前記指定読み出しアクセスモードに応じて、前記指定読み出しアドレスを所定のアドレスに修正して前記n個のメモリに出力する読み出しアドレス制御部と、を備えたことを特徴とする2次元データ・アクセス・メモリ。

【請求項7】 前記読み出しデータ制御部は、データの読み出しの際に、読み出しアドレスの指定に応じて特定される前記仮想最小2次元メモリ空間上のアクセス位置と、前記読み出しアクセスモードの指定に応じて前記n個のメモリの読み出しデータを選択する選択信号を出力するデータコントローラと前記n個のメモリに対応して設けられ、前記データコントローラからの選択信号に基づいて前記n個のメモリからの各読み出しデータを選択して同時に出力するn個のセクタとを備え、前記読み出しアドレス制御部は、読み出しアドレスの指定時に、前記読み出しアクセスモ

(3)

3

ードと前記読み出しアドレスに応じて、前記各メモリの下位側のアドレスに相当する前記読み出しアドレスを所定値に変換するアドレス変換信号を出力するとともに、アクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には、前記読み出しアクセスモードに応じて前記各メモリの上位側のアドレスに相当する前記読み出しアドレスを補正する補正信号を出力するアドレスコントローラと、

前記n個のメモリに対応して設けられ、前記アドレスコントローラからのアドレス変換信号により前記読み出しアドレスを所定値に変換して前記各メモリに出力するとともに、前記アドレスコントローラからの補正信号により前記読み出しアドレスを補正して前記各メモリに出力するn個のアドレス補正部と、を備えたことを特徴とする請求項6に記載の2次元データ・アクセス・メモリ。

【請求項8】 前記読み出しデータ制御部は、前記指定読み出しアクセスモードと前記特定アクセス位置に加え、動きベクトル推定におけるデータ読み出し方法を指定するオプションモードに応じて前記n個のメモリからの各読み出しデータを並び替え、この並び替えた各読み出しデータを一括に出力し、

前記読み出しアドレス制御部は、読み出しアドレスの指定時に、前記指定読み出しアクセスモードと前記特定アクセス位置に応じて、またはアクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には前記指定読み出しアクセスモードに応じて、さらにアクセスする空間が前記2次元メモリ空間の周縁を跨ぐ場合には前記読み出しアクセスモードと前記オプションモードに応じて前記指定読み出しアドレスを所定のアドレスに修正して前記n個のメモリに出力する読み出しアドレス制御部と、

を備えたことを特徴とする請求項6に記載の2次元データ・アクセス・メモリ。

【請求項9】 前記読み出しデータ制御部は、データの読み出しの際に、読み出しアドレスの指定に応じて特定される前記仮想最小2次元メモリ空間上のアクセス位置と、前記読み出しアクセスモードの指定と、前記オプションモードの指定に応じて前記n個のメモリの読み出しデータを選択する選択信号を出力するデータコントローラと、

前記n個のメモリに対応して設けられ、前記データコントローラからの選択信号に基づいて前記n個のメモリからの各読み出しデータを選択して同時に出力するn個のセクタとを備え、

前記読み出しアドレス制御部は、読み出しアドレスの指定時に、前記読み出しアクセスモードと前記読み出しアドレスに応じて、前記各メモリの下位側のアドレスに相当する前記読み出しアドレスを所定値に変換するアドレス変換信号を出力するとともに、アクセスする空間が隣接する前記仮想最小2次元メモリ

4

空間を跨ぐ場合には、前記読み出しアクセスモードに応じて前記各メモリの上位側のアドレスに相当する前記読み出しアドレスを補正する補正信号を出力し、さらにアクセスする空間が前記2次元メモリ空間の周縁を跨ぐ場合には前記読み出しアクセスモードと前記オプションモードに応じて前記各メモリの上位側のアドレスを補正する信号を出力するアドレスコントローラと、前記n個のメモリに対応して設けられ、前記アドレスコントローラからのアドレス変換信号により前記読み出しアドレスを所定値に変換して前記各メモリに出力するとともに、前記アドレスコントローラからの補正信号により前記読み出しアドレスを補正して前記各メモリに出力するn個のアドレス補正部と、を備えたことを特徴とする請求項8に記載の2次元データ・アクセス・メモリ。

【請求項10】 前記読み出しデータ制御部は、データの読み出しの際に、読み出しアドレスの指定に応じて特定される前記仮想最小2次元メモリ空間上のアクセス位置と、前記読み出しアクセスモードの指定と、前記オプションモードの指定に応じて前記n個のメモリの読み出しデータを選択する選択信号を出力するデータコントローラと、

前記n個のメモリに対応して設けられ、前記データコントローラからの選択信号に基づいて前記n個のメモリからの各読み出しデータを選択して同時に出力するn個のセクタとを備え、

前記読み出しアドレス制御部は、読み出しアドレスの指定時に、前記読み出しアクセスモードと前記読み出しアドレスに応じて、前記各メモリの下位側のアドレスに相当する前記読み出しアドレスを所定値に変換するアドレス変換信号を出力するとともに、アクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には、前記読み出しアクセスモードに応じて前記各メモリの上位側のアドレスに相当する前記読み出しアドレスを補正する補正信号を出力し、さらにアクセスする空間が前記2次元メモリ空間が記憶しているデータの存在範囲の周縁を跨ぐ場合には前記読み出しアクセスモードと前記オプションモードに応じて前記各メモリの上位側および下位側のアドレスを補正する信号を出力するアドレスコントローラと、

前記n個のメモリに対応して設けられ、前記アドレスコントローラからのアドレス変換信号により前記読み出しアドレスを所定値に変換して前記各メモリに出力するとともに、前記アドレスコントローラからの補正信号により前記読み出しアドレスを補正して前記各メモリに出力するn個のアドレス補正部と、を備えたことを特徴とする請求項8に記載の2次元データ・アクセス・メモリ。

【請求項11】 データの書き込みの際に、前記仮想最小2次元メモリ空間上のアクセス位置を特定し、この特定されたアクセス位置からデータを書き込む方向を指定する書き込みアクセスモードに応じて前記n個のメモリ

50

(4)

5

への各書き込みデータを並び替え、この並び替えた各書き込みデータを前記n個のメモリに一括に供給する書き込みデータ制御部と、

書き込みアドレスの指定時に、前記指定書き込みアクセスモードと前記特定アクセス位置に応じて、またはアクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には前記指定書き込みアクセスモードに応じて、前記指定書き込みアドレスを所定のアドレスを修正して前記n個のメモリに出力する書き込みアドレス制御部と、

をさらに備えたことを特徴とする請求項6または請求項7に記載の2次元データ・アクセス・メモリ。

【請求項12】 前記書き込みデータ制御部は、データの書き込みの際に、書き込みアドレスの指定に応じて特定される前記仮想最小2次元メモリ空間上のアクセス位置と、前記書き込みアクセスモードの指定に応じて前記n個のメモリの書き込みデータを選択する選択信号を出力するデータコントローラと、

前記n個のメモリに対応して設けられ、前記データコントローラからの選択信号に基づいて前記n個のメモリへの各書き込みデータを選択してその各メモリに同時に供給するn個のセクタとを備え、

書き込みアドレス制御部は、書き込みアドレスの指定時に、前記書き込みアクセスモードと前記書き込みアドレスに応じて、前記各メモリの下位側のアドレスに相当する前記書き込みアドレスを所定値に変換するアドレス変換信号を出力するとともに、アクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には、前記書き込みアクセスモードに応じて前記各メモリの上位側のアドレスに相当する前記書き込みアドレスを補正する補正信号を出力するアドレスコントローラと、

前記n個のメモリに対応して設けられ、前記アドレスコントローラからのアドレス変換信号により前記書き込みアドレスを所定値に変換して前記各メモリに出力するとともに、前記アドレスコントローラからの補正信号により前記書き込みアドレスを補正して前記各メモリに出力するn個のアドレス補正部と、を備えたことを特徴とする請求項11に記載の2次元データ・アクセス・メモリ。

【請求項13】 請求項6または請求項7および請求項11または請求項12のいずれかに記載の2次元データ・アクセス・メモリと、

所定の演算に応じて、前記2次元データ・アクセス・メモリの前記アドレスを指定するとともに、前記アクセスモードを指定し、前記2次元データ・アクセス・メモリから所定のデータを読み出してSIMD処理を行うSIMD型プロセッサと、

を備えたことを特徴とする演算処理装置。

【請求項14】 前記所定の演算は、2次元離散コサイ

6

ン変換であることを特徴とする請求項13に記載の演算処理装置。

【請求項15】 請求項8乃至請求項10のいずれかに記載の2次元データ・アクセス・メモリと、所定の演算に応じて、前記2次元データ・アクセス・メモリの前記アドレスを指定するとともに、前記アクセスモードおよび前記オプションモードを指定し、前記2次元データ・アクセス・メモリから所定のデータを読み出してSIMD処理を行うSIMD型プロセッサと、

10 を備えたことを特徴とする演算処理装置。

【請求項16】 前記所定の演算は、動画像の動きベクトル推定に係る演算処理であることを特徴とする請求項15に記載の演算処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、効率的なSIMD (Single Instruction stream Multiple Data stream) 演算が実現可能となるメモリの使用方法、このメモリの使用方法を装置化した2次元データ・アクセス・メモリ、およびその2次元データ・アクセス・メモリを利用してSIMD演算を効率的に行うことができる演算処理装置に関するものである。

【0002】

【従来の技術】SIMD演算は、複数のプロセッサを持ち、複数のデータを同一の命令で処理する方式である。このため、一般に、メモリに記憶されている1次元のデータ列から、連続する一部の部分列を取り出して並列演算を行う場合には、非常に効率的である。

【0003】しかし、演算対象となるデータがメモリ上に連続して記憶されていないか、演算結果をメモリ上の所定位置に分散して配置したい場合には、並列演算対象データを準備するための処理や、並列演算結果をメモリの所定位置に配置するための処理が必要になる。このため、本来の並列処理の良さが阻害されるという不都合がある。

【0004】

【発明が解決しようとする課題】ところで、SIMD処理により2次元離散コサイン変換処理を高速化できる技術として特開2000-69478号公報に記載の発明が知られている。この発明は、走査順に配置された画像データを変換符号化演算におけるバタフライ演算をSIMD処理により実行するのに適した順序に並び換え、この並び換え結果をメモリに記憶しておき、そのメモリに記憶される画像データを2次元離散コサイン変換するものである。

【0005】しかし、上記の公報に記載の発明では、画像データを並び換える操作が必要となり、ハードウェアで実現する場合には、その並び換える操作に係る分の回路が必要となって、回路規模が大きくなるというような不都合が考えられる上に、並び替え操作によるメモリア

50

(5)

7

クセスにより消費電力が大きくなるという不都合もある。

【0006】そこで、本発明の第1の目的は、上記の点に鑑み、SIMD演算の効率化に寄与できるメモリの使用方法を提供することにある。また、本発明の第2の目的は、2次元メモリ空間上の指定位置から横方向と縦方向に並んだ連続データあるいは不連続データをアクセスできるようにし、効率的なSIMD演算が実現可能な2次元データ・アクセス・メモリを提供することにある。

【0007】さらに、本発明の第3の目的は、2次元データ・アクセス・メモリを利用することにより、SIMD演算を効率的に行うことができる演算処理装置を提供することにある。

【0008】

【課題を解決するための手段】上記の課題を解決し本発明の第1の目的を達成するために、請求項1乃至請求項5に記載の発明は、以下のように構成した。すなわち、請求項1に記載の発明は、2次元的に形成される所定の仮想最小2次元メモリ空間を、縦横方向に配列した所定の2次元メモリ空間を想定し、前記仮想最小2次元メモリ空間の各アドレスを、前記仮想最小2次元メモリ空間との関係で決まるn個の物理的なメモリの所定の各アドレスに予め割り当てておき、前記2次元メモリ空間上のデータを読み出すときには、前記仮想最小2次元メモリ空間上の読み出しアドレスを指定するとともに、その指定された読み出しアドレスを基準にデータの横方向または縦方向の読み出し方向を指定すると、その両指定に応じて、前記仮想最小2次元メモリ空間上の横方向または縦方向に並ぶ連続データを、前記n個の各メモリの対応するアドレスからそれぞれ読み出すようにしたことを特徴とするものである。

【0009】また、請求項2に記載の発明は、請求項1に記載のメモリの使用方法において、さらに、前記2次元メモリ空間上にデータを書き込むときには、前記仮想最小2次元メモリ空間上の書き込みアドレスを指定するとともに、その指定された書き込みアドレスを基準にデータの横方向または縦方向の書き込み方向を指定すると、その両指定に応じて、前記仮想最小2次元メモリ空間上の横方向または縦方向に連続的に書き込むべき連続データを、前記n個の各メモリの対応するアドレスにそれぞれ書き込むようにしたことを特徴とするものである。

【0010】また、請求項3に記載の発明は、2次元的に形成される所定の仮想最小2次元メモリ空間を、縦横方向に配列した所定の2次元メモリ空間を想定し、前記仮想最小2次元メモリ空間の各アドレスを、前記仮想最小2次元メモリ空間との関係で決まるn個の物理的なメモリの所定の各アドレスに予め割り当てておき、前記2次元メモリ空間上のデータを読み出すときには、前記仮想最小2次元メモリ空間上の読み出しアドレスを指定す

8

るとともに、その指定された読み出しアドレスを基準にデータの所定読み出しパターン（例えば、図19または図20に示す千鳥モードのパターン）を指定すると、その両指定に応じて、前記仮想最小2次元メモリ空間上の所定データを、前記n個の各メモリの対応するアドレスからそれぞれ読み出すようにしたことを特徴とするものである。

【0011】また、請求項4に記載の発明は、請求項1または3に記載のメモリの使用方法において、前記2次元メモリ空間には動画像の動きベクトル推定における参照データ（例えば、図31の参照フレーム）の一部を記憶し、前記2次元メモリ空間上のデータを読み出すときには、さらに、動きベクトル推定の際の所定のデータ読み出し方法（例えば、第2の実施形態におけるサーキュラーモード）を指定すると、前記読み出しアドレス、請求項1記載のデータの横方向または縦方向の読み出し方向あるいは請求項3記載のデータの所定読み出しパターンおよび前記データ読み出し方法に応じて、動きベクトル推定の際にデータの読み出しが完了した仮想最小2次元メモリ空間には、後続の所定参照データを順次書き込み、前記2次元メモリ空間の周縁（例えば、図15の2次元メモリ空間3の記憶領域の境界）を跨いでデータが参照される場合には、当該データの読み出しアドレスを後続の所定参照データが書き込まれた仮想最小2次元メモリ空間の所定アドレスに修正して読み出すようにしたことを特徴とするものである。

【0012】また、請求項5に記載の発明は、請求項1または3に記載のメモリの使用方法において、前記2次元メモリ空間には動画像の動きベクトル推定における参照データの一部を記憶し、前記2次元メモリ空間上のデータを読み出すときには、さらに、動きベクトル推定の際の所定のデータ読み出し方法（例えば、第2の実施形態におけるパディングモード）を指定すると、前記読み出しアドレス、請求項1記載のデータの横方向または縦方向の読み出し方向あるいは請求項3記載のデータの所定読み出しパターンおよび前記データ読み出し方法に応じて、前記参照データの存在範囲（例えば、図18の参照フレームのデータが存在する範囲）の周縁（例えば、図18の画像境界）を跨いでデータが参照される場合には、前記参照データの存在範囲に含まれないデータの読み出しアドレスを前記参照データの存在範囲の周縁に位置する所定データのアドレスに修正して読み出すようにしたことを特徴とするものである。

【0013】このような構成からなる請求項1乃至請求項5に記載の発明によれば、SIMD演算の効率化に寄与できる。また、このような構成からなる請求項3乃至請求項5記載の発明によれば、動画像の動きベクトル推定に係る処理の効率化に寄与できる。また、本発明の第2の目的を達成するために、請求項6乃至請求項12に記載の各発明は、以下のように構成した。

50

(6)

9

【0014】すなわち、請求項6に記載の発明は、2次元的に形成される所定の仮想最小2次元メモリ空間を、縦横方向に配列した2次元メモリ空間を想定するとともに、前記仮想最小2次元メモリ空間の各アドレスが一定の規則で予めそれぞれに割り当てられているn個のメモリと、データの読み出しの際に、前記仮想最小2次元メモリ空間上のアクセス位置を特定し、この特定されたアクセス位置からデータを読み出す方向あるいはパターンを指定する読み出しアクセスモードに応じて前記n個のメモリからの各読み出しデータを並び替え、この並び替えた各読み出しデータを一括に出力する読み出しデータ制御部と、読み出しアドレスの定時に、前記指定読み出しアクセスモードと前記特定アクセス位置に応じて、またはアクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には前記指定読み出しアクセスモードに応じて、前記指定読み出しアドレスを所定のアドレスに修正して前記n個のメモリに出力する読み出しアドレス制御部と、を備えたことを特徴とするものである。

【0015】また、請求項7に記載の発明は、請求項6に記載の2次元データ・アクセス・メモリにおいて、前記読み出しデータ制御部は、データの読み出しの際に、読み出しアドレスの指定に応じて特定される前記仮想最小2次元メモリ空間上のアクセス位置と、前記読み出しアクセスモードの指定に応じて前記n個のメモリの読み出しデータを選択する選択信号を出力するデータコントローラと前記n個のメモリに対応して設けられ、前記データコントローラからの選択信号に基づいて前記n個のメモリからの各読み出しデータを選択して同時に出力するn個のセクタとを備え、前記読み出しアドレス制御部は、読み出しアドレスの指定時に、前記読み出しアクセスモードと前記読み出しアドレスに応じて、前記各メモリの下位側のアドレスに相当する前記読み出しアドレスを所定値に変換するアドレス変換信号を出力するとともに、アクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には、前記読み出しアクセスモードに応じて前記各メモリの上位側のアドレスに相当する前記読み出しアドレスを補正する補正信号を出力するアドレスコントローラと、前記n個のメモリに対応して設けられ、前記アドレスコントローラからのアドレス変換信号により前記読み出しアドレスを所定値に変換して前記各メモリに出力するとともに、前記アドレスコントローラからの補正信号により前記読み出しアドレスを補正して前記各メモリに出力するn個のアドレス補正部と、を備えたことを特徴とするものである。

【0016】また、請求項8に記載の発明は、請求項6に記載の2次元データ・アクセス・メモリにおいて、前記読み出しデータ制御部は、前記指定読み出しアクセスモードと前記特定アクセス位置に加え、動きベクトル推定におけるデータ読み出し方法を指定するオプションモード（例えば、第2の実施形態におけるサーキュラーモ

10

ードあるいはパディングモード）に応じて前記n個のメモリからの各読み出しデータを並び替え、この並び替えた各読み出しデータを一括に出力し、前記読み出しアドレス制御部は、読み出しアドレスの指定時に、前記指定読み出しアクセスモードと前記特定アクセス位置に応じて、またはアクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には前記指定読み出しアクセスモードに応じて、さらにアクセスする空間が前記2次元メモリ空間の周縁（例えば、図15の2次元メモリ空間3の記憶領域の境界）を跨ぐ場合には前記読み出しアクセスモードと前記オプションモードに応じて前記指定読み出しアドレスを所定のアドレスに修正して前記n個のメモリに出力する読み出しアドレス制御部と、を備えたことを特徴とするものである。

【0017】また、請求項9に記載の発明は、請求項8に記載の2次元データ・アクセス・メモリにおいて、前記読み出しデータ制御部は、データの読み出しの際に、読み出しアドレスの指定に応じて特定される前記仮想最小2次元メモリ空間上のアクセス位置と、前記読み出しアクセスモードの指定と、前記オプションモード（例えば、第2の実施形態のサーキュラーモード）の指定に応じて前記n個のメモリの読み出しデータを選択する選択信号を出力するデータコントローラと、前記n個のメモリに対応して設けられ、前記データコントローラからの選択信号に基づいて前記n個のメモリからの各読み出しデータを選択して同時に出力するn個のセクタとを備え、前記読み出しアドレス制御部は、読み出しアドレスの指定時に、前記読み出しアクセスモードと前記読み出しアドレスに応じて、前記各メモリの下位側のアドレスに相当する前記読み出しアドレスを所定値に変換するアドレス変換信号を出力するとともに、アクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には、前記読み出しアクセスモードに応じて前記各メモリの上位側のアドレスに相当する前記読み出しアドレスを補正する補正信号を出力し、さらにアクセスする空間が前記2次元メモリ空間の周縁（例えば、図15の2次元メモリ空間3の記憶領域の境界）を跨ぐ場合には前記読み出しアクセスモードと前記オプションモードに応じて前記各メモリの上位側のアドレスを補正する信号を出力するアドレスコントローラと、前記n個のメモリに対応して設けられ、前記アドレスコントローラからのアドレス変換信号により前記読み出しアドレスを所定値に変換して前記各メモリに出力するとともに、前記アドレスコントローラからの補正信号により前記読み出しアドレスを補正して前記各メモリに出力するn個のアドレス補正部と、を備えたことを特徴とするものである。

【0018】また、請求項10に記載の発明は、請求項8に記載の2次元データ・アクセス・メモリにおいて、前記読み出しデータ制御部は、データの読み出しの際に、読み出しアドレスの指定に応じて特定される前記仮

(7)

11

想最小2次元メモリ空間上のアクセス位置と、前記読み出しアクセスモードの指定と、前記オプションモード

(例えば、第2の実施形態のパディングモード)の指定に応じて前記n個のメモリの読み出しデータを選択する選択信号を出力するデータコントローラと、前記n個のメモリに対応して設けられ、前記データコントローラからの選択信号に基づいて前記n個のメモリからの各読み出しデータを選択して同時に出力するn個のセクタとを備え、前記読み出しアドレス制御部は、読み出しアドレスの指定時に、前記読み出しアクセスモードと前記読み出しアドレスに応じて、前記各メモリの下位側のアドレスに相当する前記読み出しアドレスを所定値に変換するアドレス変換信号を出力するとともに、アクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には、前記読み出しアクセスモードに応じて前記各メモリの上位側のアドレスに相当する前記読み出しアドレスを補正する補正信号を出力し、さらにアクセスする空間が前記2次元メモリ空間が記憶しているデータの存在範囲の周縁を跨ぐ場合には前記読み出しアクセスモードと前記オプションモードに応じて前記各メモリの上位側および下位側のアドレスを補正する信号を出力するアドレスコントローラと、前記n個のメモリに対応して設けられ、前記アドレスコントローラからのアドレス変換信号により前記読み出しアドレスを所定値に変換して前記各メモリに出力するとともに、前記アドレスコントローラからの補正信号により前記読み出しアドレスを補正して前記各メモリに出力するn個のアドレス補正部と、を備えたことを特徴とするものである。

【0019】さらに、請求項11に記載の発明は、請求項6または請求項7に記載の2次元データ・アクセス・メモリにおいて、データの書き込みの際に、前記仮想最小2次元メモリ空間上のアクセス位置を特定し、この特定されたアクセス位置からデータを書き込む方向を指定する書き込みアクセスモードに応じて前記n個のメモリへの各書き込みデータを並び替え、この並び替えた各書き込みデータを前記n個のメモリに一括に供給する書き込みデータ制御部と、書き込みアドレスの指定時に、前記指定書き込みアクセスモードと前記特定アクセス位置に応じて、またはアクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には前記指定書き込みアクセスモードに応じて、前記指定書き込みアドレスを所定のアドレスを修正して前記n個のメモリに出力する書き込みアドレス制御部と、をさらに備えたことを特徴とするものである。

【0020】また、請求項12に記載の発明は、請求項5に記載の2次元データ・アクセス・メモリにおいて、前記書き込みデータ制御部は、データの書き込みの際に、書き込みアドレスの指定に応じて特定される前記仮想最小2次元メモリ空間上のアクセス位置と、前記書き込みアクセスモードの指定に応じて前記n個のメモリの

12

書き込みデータを選択する選択信号を出力するデータコントローラと、前記n個のメモリに対応して設けられ、前記データコントローラからの選択信号に基づいて前記n個のメモリへの各書き込みデータを選択してその各メモリに同時に供給するn個のセクタとを備え、書き込みアドレス制御部は、書き込みアドレスの指定時に、前記書き込みアクセスモードと前記書き込みアドレスに応じて、前記各メモリの下位側のアドレスに相当する前記書き込みアドレスを所定値に変換するアドレス変換信号を出力するとともに、アクセスする空間が隣接する前記仮想最小2次元メモリ空間を跨ぐ場合には、前記書き込みアクセスモードに応じて前記各メモリの上位側のアドレスに相当する前記書き込みアドレスを補正する補正信号を出力するアドレスコントローラと、前記n個のメモリに対応して設けられ、前記アドレスコントローラからのアドレス変換信号により前記書き込みアドレスを所定値に変換して前記各メモリに出力するとともに、前記アドレスコントローラからの補正信号により前記書き込みアドレスを補正して前記各メモリに出力するn個のアドレス補正部と、を備えたことを特徴とするものである。

【0021】このような構成からなる請求項6乃至請求項10に記載の発明によれば、2次元メモリ空間上の指定位置から横方向または縦方向に並んだ連続データを、物理的な各メモリから同時に読み出すことができるので、効率的なSIMD演算が実現可能となる。また、上記のような構成からなる請求項11および請求項12に記載の発明によれば、2次元メモリ空間上の指定位置から横方向または縦方向に並んだ連続データを物理的な各メモリから同時に読み出すことができる上に、2次元メモリ空間上の指定位置から横方向または縦方向にデータが連続的に並ぶように物理的な各メモリに同時に書き込むことができるので、効率的なSIMD演算が実現可能となる。

【0022】また、上記のような構成からなる請求項8乃至請求項10に記載の発明によれば、動画像の動きベクトル推定に係る処理の効率化に寄与できる。さらに、本発明の第3の目的を達成するために、請求項13乃至請求項16に記載の発明は、以下のように構成した。すなわち、請求項13に記載の発明は、請求項6または請求項7および請求項11または請求項12のいずれかに記載の2次元データ・アクセス・メモリと、所定の演算に応じて、前記2次元データ・アクセス・メモリの前記アドレスを指定するとともに、前記アクセスモードを指定し、前記2次元データ・アクセス・メモリから所定のデータを読み出してSIMD処理を行うSIMD型プロセッサと、を備えたことを特徴とするものである。

【0023】また、請求項14に記載の発明は、請求項13に記載の演算処理装置において、前記所定の演算は、2次元離散コサイン変換であることを特徴とするものである。さらに、請求項15に記載の発明は、請求項

(8)

13

8乃至請求項10のいずれかに記載の2次元データ・アクセス・メモリと、所定の演算に応じて、前記2次元データ・アクセス・メモリの前記アドレスを指定するとともに、前記アクセスモードおよび前記オプションモードを指定し、前記2次元データ・アクセス・メモリから所定のデータを読み出してSIMD処理を行うSIMD型プロセッサと、を備えたことを特徴とするものである。

【0024】また、請求項16に記載の発明は、請求項15に記載の演算処理装置において、前記所定の演算は、動画像の動きベクトル推定に係る演算処理であることを特徴とするものである。このような構成からなる請求項13および請求項16に記載の発明によれば、2次元データ・アクセス・メモリを利用するので、SIMD演算を効率的に行うことができる。

【0025】

【発明の実施の形態】（第1の実施の形態）以下、本発明のメモリの使用方法の実施形態について、図面を参照して説明する。この実施形態に係るメモリの使用方法では、図1に示すような仮想最小2次元メモリ空間1を定めるので、まず、これについて説明する。

【0026】仮想最小2次元メモリ空間1は、例えば図1に示すように、1バイト（8ビット）の記憶が可能な最小単位の仮想の記憶素子2が、縦方向と横方向にそれぞれ4個ずつ合計16個配置されたものである。従って、この例では4バイト×4バイト＝16バイトから構成される。なお、仮想最小2次元メモリ空間1の大きさは、上記の16バイト以外に、8×8＝64バイトなどが可能である。

【0027】このような仮想最小2次元メモリ空間1は、物理的には、図2に示すように4つの物理的なメモリ4A～4Cに予め分割されてマッピングされている。すなわち、1つの仮想最小2次元メモリ空間1は、4つの物理的なメモリ4A～4Cの同一のアドレスから始まる4バイトの連続領域に対応している。具体的には、例えば、図1に示す仮想最小2次元メモリ空間1の各アドレス $a_n(0)$ 、 $b_n(0)$ 、 $c_n(0)$ 、 $d_n(0)$ …は、図2に示す各メモリ4A～4Dの所定のアドレス $a_n(0)$ 、 $b_n(0)$ 、 $c_n(0)$ 、 $d_n(0)$ …に予めそれぞれ割り当てられている。

【0028】また、この実施形態に係るメモリの使用方法では、図3に示すような2次元メモリ空間3を想定するので、これについて説明する。2次元メモリ空間3は、仮想最小2次元メモリ空間1を、図3に示すように横方向と縦方向にタイル状に配置したものである。この2次元メモリ空間3において、仮想最小2次元メモリ空間1を横方向に並べる個数は、2のべき乗であれば任意に設定することが可能であり、図3に示す例では16バイト× $n$ バイトとしている。

【0029】次に、この実施形態に係るメモリの使用方法について、図1～図4を参照して説明する。まず、図

14

1に示すような仮想最小2次元メモリ空間1を、図3に示すように縦横方向にタイル状に配列した2次元メモリ空間3を想定する。一方、仮想最小2次元メモリ空間1の各アドレスを、仮想最小2次元メモリ空間1の大きさとの関係で決まる4個の物理的なメモリ4A～4Dの所定の各アドレスに、予め割り当てて（対応付けて）おく（図1および図2参照）。

【0030】次に、仮想最小2次元メモリ空間1上の任意のアドレスからの連続的なデータを読み出す際のメモリ4A～4Dからの読み出し動作について説明する。この場合には、その任意の読み出しアドレスを指定するとともに、データの読み出し方向を指定する読み出しアクセスモードを指定する。この読み出しアクセスモードには、行方向アクセスモード、列方向アクセスモード、行方向2段アクセスモードがある。

【0031】行方向アクセスモードは、図4のM1に示すように、仮想最小2次元メモリ空間1上の任意の読み出しアドレスから行方向（横方向）に、8ビット×4、16ビット×2、または32ビット×1のようにデータを読み出すものであり、16通りのアクセスが考えられる。列方向アクセスモードは、図4のM2に示すように、仮想最小2次元メモリ空間1上の任意の読み出しアドレスから列方向（縦方向）に、8ビット×4のようにデータを読み出すものであり、16通りのアクセスが考えられる。

【0032】行方向2段アクセスモードは、図4のM3に示すように、仮想最小2次元メモリ空間1上の任意のアドレスから行方向2段にわたって、16ビット×2のようにデータを読み出すものであり、8通りのアクセスが考えられる。このモードでは、行方向は2バイト単位のみ限定されている。このようにして、仮想最小2次元メモリ空間1上の任意の読み出しアドレスが指定され、かつ、読み出しアクセスモードが指定されると、その指定読み出しアドレスと指定読み出しアクセスモードに基づいて、メモリ4A～4Dの対応する各アドレスが指定されてデータが読み出されるとともに、その読み出されたデータを同時に出力する。

【0033】例えば、いま、図4において、仮想最小2次元メモリ空間1上において、アドレス $C_n(0)$ が指定され、かつ、M3に示すような行方向2段アクセスモードが指定された場合には、以下ようになる。すなわち、この場合には、メモリ4Aはアドレス $a_n(1)$ 、メモリ4Bはアドレス $b_n(1)$ 、メモリ4Cはアドレス $c_n(0)$ 、メモリ4Dはアドレス $d_n(0)$ がそれぞれ指定されて、その各データを同時に読み出す。

【0034】次に、仮想最小2次元メモリ空間1上の任意のアドレスにデータを同時に書き込む際のメモリ4A～4Dの書き込み動作について説明する。この場合には、その任意の書き込みアドレスを指定するとともに、データの書き込み方向を指定する書き込みアクセスモードを

50



(9)

15

指定する。すると、その指定書き込みアドレスと指定書き込みアクセスモードに基づいて、メモリ4A～4Dの対応する各アドレスが指定されてデータが書き込み可能になるとともに、その書き込むべきデータが同時にその各アドレスに書き込まれる。

【0035】例えば、いま、図4において、仮想最小2次元メモリ空間1上において、アドレス $C_n(0)$ が指定され、かつ、M3に示すような行方向2段アクセスモードが指定された場合には、以下ようになる。すなわち、この場合には、メモリ4Aはアドレス $a_n(1)$ 、メモリ4Bはアドレス $b_n(1)$ 、メモリ4Cはアドレス $c_n(0)$ 、メモリ4Dはアドレス $d_n(0)$ がそれぞれ指定されてデータが書き込み可能となり、その各データの書き込みを同時に行う。

【0036】以上説明したように、この実施形態に係るメモリの使用方法によれば、2次元メモリ空間3上の任意のアクセス位置とアクセスモードとを指定すると、その指定に応じて、2次元メモリ空間3上の任意のアクセス位置からの横方向または縦方向に連続するデータを、各メモリ4A～4Dに同時に読み書きできる。このため、この実施形態に係るメモリの使用方法是、SIMD演算の効率化に寄与できる。

【0037】次に、本発明の2次元データ・アクセス・メモリの実施形態の構成について、図5～図7を参照して説明する。この実施形態に係る2次元データ・アクセス・メモリ10は、上述した実施形態に係るメモリの使用方法を具体化したものであり、図5に示すように、メモリ4A～4Dと、読み出しアドレス制御部11と、読み出しデータ制御部12と、書き込みアドレス制御部13と、書き込みデータ制御部14とを備えている。そして、読み出しアドレス制御部11と読み出しデータ制御部12とがデータ読み出し系を構成するとともに、書き込みアドレス制御部13と書き込みデータ制御部14とがデータ書き込み系を構成し、これら2つの系がメモリ4A～4Dを共有するようになっている。

【0038】メモリ4A～4Dは、図1に示す仮想最小2次元メモリ空間1を、図3に示すように縦横方向に配列した2次元メモリ空間3を想定し、仮想最小2次元メモリ空間1の各アドレスが、図2に示すように一定の規則で予め所定のアドレスにそれぞれ割り当てられたものである。読み出しアドレス制御部11は、読み出しアドレスの指定の際に、読み出しアクセスモードの指定に応じて、その読み出しアドレスのうちの所定のアドレスを所定値に変換してメモリ4A～4Dに出力するとともに、アクセスする空間が隣接する仮想最小2次元メモリ空間1を跨ぐ場合には(図3、図4参照)、指定読み出しアクセスモードに応じて、その読み出しアドレスのうちの上記以外のアドレスを補正してメモリ4A～4Dに出力するものである。

【0039】読み出しデータ制御部12は、データの読

16

み出しの際に、読み出しアドレスの一部に基づいて仮想最小2次元メモリ空間1上の読み出しアドレスを特定し、この特定された読み出しアドレスおよび指定された読み出しアクセスモードに応じて、メモリ4A～4Dからの各読み出しデータを並び替え、この並び替えた各読み出しデータを同時に出力するものである。

【0040】書き込みアドレス制御部13は、書き込みアドレスの指定の際に、書き込みアクセスモードの指定に応じて、その書き込みアドレスのうちの所定のアドレスを所定値に変換してメモリ4A～4Dに出力するとともに、アクセスする空間が隣接する仮想最小2次元メモリ空間1を跨ぐ場合には、指定書き込みアクセスモードに応じて、その書き込みアドレスのうちの上記以外のアドレスを補正してメモリ4A～4Dに出力するものである。

【0041】書き込みデータ制御部14は、メモリ4A～4Dに対して各データを書き込む際に、書き込みアドレスの一部に基づいて仮想最小2次元メモリ空間1上の書き込みアドレスを特定し、この特定された書き込みアドレスおよび指定された書き込みアクセスモードに応じて、メモリ4A～4Dへの各書き込みデータを並び替え、この並び替えた各書き込みデータをメモリ4A～4Dの各指定アドレスに同時に書き込むように制御するものである。

【0042】次に、図5に示す読み出しアドレス制御部11と読み出しデータ制御部12の詳細な構成について、図6を参照して説明する。読み出しアドレス制御部11は、図6に示すように、アドレスコントローラ21と、4つのアドレス補正部22A～22Dを備えている。アドレスコントローラ21は、読み出しアドレスA0、A1、A4、A5の指定と読み出しアクセスモードの指定に応じて、メモリ4A～4Dの下位2ビットのアドレスa0、a1に相当する読み出しアドレスA4、A5を、所定値に変換するためのアドレス変換信号をアドレス補正部22A～22Dに出力するとともに、アクセスする空間が隣接する仮想最小2次元メモリ空間1を跨ぐ場合には、読み出しアクセスモードの指定に応じて、メモリ4A～4Dの上位5ビットのアドレスa2～a7に相当する読み出しアドレスA2、A3、A6～A9を、所定値に補正するための補正信号をアドレス補正部22A～22Dに出力するものである。

【0043】ここで、上述の読み出しアドレス「A0、A1」は、仮想最小2次元メモリ空間1の行方向(横方向)のアドレスを指定するものであり、メモリ4A～4Dの下位側のアドレスa0、a1に相当する。また、読み出しアドレス「A4、A5」は、仮想最小2次元メモリ空間1の列方向(縦方向)のアドレスを指定するものである。さらに、読み出しアドレスA2、A3、A6～A9は、2次元メモリ空間3のアドレスを指定するものであり、メモリ4A～4Dのアドレスa2～a7に相当

(10)

17

する。

【0044】アドレス補正部22A~22Dは、メモリ4A~4Dに対応して設けられ、アドレスコントローラ21からのアドレス変換信号により読み出しアドレスA4、A5を所定値に変換して各メモリ4A~4Dの下位ビットのアドレスa0、a1として出力するとともに、アドレスコントローラ21からの補正信号により読み出しアドレスA2、A3、A6~A9を所定値だけ補正してメモリ4A~4Dの上位5ビットのアドレスa2~a7として出力するものである。

【0045】読み出しデータ制御部12は、図6に示すように、データコントローラ23と、4つのセクタ24A~24Dとを備えている。データコントローラ23は、データの読み出しの際に、読み出しアドレスA0、A1、A4、A5の指定に応じて仮想最小2次元メモリ空間1上の読み出しアドレスを特定し、この特定された読み出しアドレスからデータを読み出す方向を指定する読み出しアクセスモードに応じて、セクタ24A~24Dがメモリ4A~4Dを選択する際の選択信号をセクタ24A~24Dにそれぞれ出力するものである。

【0046】セクタ24A~24Dは、メモリ4A~4Dに対応して設けられ、データコントローラ23からの上述の選択信号に基づき、各メモリ4A~4Dの出力ライン上の読み出しデータを選択して同時に出力する（取り出す）ものである。次に、図5に示す書き込みアドレス制御部13と書き込みデータ制御部14の詳細な構成について、図7を参照して説明する。

【0047】書き込みアドレス制御部13は、図7に示すように、アドレスコントローラ31と、4つのアドレス補正部32A~32Dを備えている。アドレスコントローラ31は、書き込みアドレスA0、A1、A4、A5の指定と書き込みアクセスモードの指定に応じて、メモリ4A~4Dの下位2ビットのアドレスa0、a1に相当する書き込みアドレスA4、A5を、所定値に変換するためのアドレス変換信号をアドレス補正部32A~32Dに出力するとともに、アクセスする空間が隣接する仮想最小2次元メモリ空間1を跨ぐ場合には、書き込みアクセスモードの指定に応じて、メモリ4A~4Dの上位5ビットのアドレスa2~a7に相当する書き込みアドレスA2、A3、A6~A9を所定値だけ補正するための補正信号をアドレス補正部32A~32Dに出力するものである。

【0048】ここで、書き込みアクセスモードは、上述の読み出しアクセスモードと基本的に同様であり、3つのアクセスモードからなる。アドレス補正部32A~32Dは、メモリ4A~4Dに対応して設けられ、アドレスコントローラ31からのアドレス変換信号により書き込みアドレスA4、A5を変換して各メモリ4A~4Dの下位2ビットのアドレスa0、a1として出力するとともに、アドレスコントローラ31からの補正信号によ

18

り書き込みアドレスA2、A3、A6~A9を補正してメモリ4A~4Dの上位5ビットのアドレスa2~a7として出力するものである。

【0049】書き込みデータ制御部14は、図7に示すように、データコントローラ33と、4つのセクタ34A~34Dとを備えている。データコントローラ33は、データの書き込みの際に、書き込みアドレスA0、A1、A4、A5の指定に応じて仮想最小2次元メモリ空間1上の書き込みアドレスを特定し、この特定された書き込みアドレスからデータを書き込む方向を指定する書き込みアクセスモードに応じて、セクタ34A~34Dがメモリ4A~4Dを選択する際の選択信号をセクタ34A~34Dにそれぞれ出力するものである。

【0050】セクタ34A~34Dは、メモリ4A~4Dに対応して設けられ、データコントローラ33からの上述の選択信号に基づき、外部からの書き込みデータ（例えば32ビット）を各メモリ4A~4Dの各指定アドレスに対して、例えば8ビット単位で同時に供給するものである。次に、このような構成からなる実施形態に係る2次元データ・アクセス・メモリの動作について、図8~図10を参照して説明する。

【0051】まず、データを読み出す場合について説明する。この場合には、アドレスコントローラ21とアドレス補正部22A~22Dとによる読み出しアドレスの制御と、データコントローラ23とセクタ24A~24Dとによる読み出したデータの制御が必要であり、説明の順序はデータコントローラ23から行う。図6に示すデータコントローラ23は、データの読み出しの際に、読み出しアドレスA0、A1、A4、A5の指定に応じて仮想最小2次元メモリ空間1上の読み出しアドレスを特定するとともに、読み出しアクセスモードに応じて、セクタ24A~24Dがメモリ4A~4Dを選択する際の選択信号をセクタ24A~24Dにそれぞれ出力する。

【0052】例えば図8のNo.1に示すように、読み出しアドレス「A0、A1」、「A4、A5」として「00」、「00」が指定され、読み出しアクセスモードとして行方向アクセスモード（00）が指定された場合には、セクタ24Aはメモリ4A、セクタ24Bはメモリ4B、セクタ24Cはメモリ4C、およびセクタ24Dはメモリ4Dをそれぞれ選択する。

【0053】また、例えば、図8のNo.17に示すように、読み出しアドレス「A0、A1」、「A4、A5」として「00」、「00」が指定され、読み出しアクセスモードとして列方向アクセスモード（01）が指定された場合には、セクタ24Aはメモリ4Aを、セクタ24Bはメモリ4Cを、セクタ24Cはメモリ4Bを、セクタ24Dはメモリ4Dをそれぞれ選択する。

【0054】セクタ24A~24Dは、データコントローラ23からの選択信号に基づき、データの読み出し

(11)

19

の際に、各メモリ4A～4Dの出力ライン上の読み出しデータを同時に出力する。例えば、上述のように図8のNo.1の場合には、データの読み出しの際に、メモリ4A～4Dの出力ライン上の各読み出しデータ（例えば8ビット）は、セクタ24Aによりメモリ4Aのデータ、セクタ24Bによりメモリ4Bのデータ、セクタ24Cによりメモリ4Cのデータ、およびセクタ24Dによりメモリ4Dデータが、同時に出力される。また、図8のNo.17の場合には、データの読み出しの際に、メモリ4A～4Dの出力ライン上の各読み出しデータは、セクタ24Aによりメモリ4Aのデータ、セクタ24Bによりメモリ4Cのデータ、セクタ24Cによりメモリ4Bのデータ、およびセクタ24Dによりメモリ4Dデータが、同時に出力される。

【0055】一方、アドレスコントローラ21は、読み出しアドレスA0、A1、A4、A5の指定と読み出しアクセスモードの指定に応じて、メモリ4A～4Dの下位2ビットのアドレスa0、a1に相当する読み出しアドレスA4、A5を、所定値に変換するためのアドレス変換信号をアドレス補正部22A～22Dにそれぞれ出力する。

【0056】例えば、図9に示すように、読み出しアクセスモードとして行方向アクセスモードが指定された場合において、読み出しアドレス「A4、A5」が指定されたときには、その指定読み出しアドレス「A4、A5」の変換は行わない。したがって、例えば、読み出しアドレス「A4、A5」が「00」と指定された場合には、その「00」がメモリの4A～4Dの各アドレス「a0、a1」として出力される。

【0057】これに対して、図9に示すように、読み出しアクセスモードが列方向アクセスモードまたは行方向2段アクセスモードが指定された場合において、読み出しアドレス「A4、A5」が指定されたときには、その指定読み出しアドレス「A4、A5」の変換が行われる。例えば、読み出しアクセスモードとして列方向アクセスモードが指定され、読み出しアドレス「A4、A5」が「00」と指定されたときには、メモリ4Aのアドレス「a0、a1」については変換されないが、メモリ4B、4C、4Dの各アドレス「a0、a1」については、「01」、「10」、および「11」にそれぞれ変換されて出力される。

【0058】さらに、アドレスコントローラ21は、アクセスする空間が隣接する仮想最小2次元メモリ空間1を跨ぐ場合には（図3、図4を参照）、読み出しアクセスモードの指定に応じて、指定する読み出しアドレスA2、A3、A6～A9をメモリ4A～4Dの上位5ビットのアドレスd2～d7に相当するアドレスとしてそのまま出力したり、またはその指定する読み出しアドレスA2、A3、A6～A9を補正し、この補正したアドレスをメモリ4A～4Dの上位5ビットのアドレスd2～

20

d7として出力する補正信号をアドレス補正部22A～22Dに出力する。

【0059】例えば、図10のNo.2に示すように、読み出しアクセスモードとして行方向アクセスモードが指定され、読み出しアドレスA0、A1、A4、A5として「1000」が指定された場合には、アドレスコントローラ21は、メモリ22Aのアドレスa2～a7を「+1」加算するための補正信号を、アドレス補正部22Aに出力する。従って、図10中における「+1」や「+4」は、メモリ22Aのアドレスa2～a7が「+1」や「+4」加算されることを意味する。

【0060】次に、データを書き込む場合について説明する。この場合には、アドレスコントローラ31とアドレス補正部32A～32Dによる書き込みアドレスの制御と、データコントローラ33とセクタ34A～34Dによる読み出しデータの制御とが必要である。しかし、アドレスコントローラ31とアドレス補正部32A～32Dによる書き込みアドレスの制御の動作は、上述のアドレスコントローラ21とアドレス補正部22A～22Dによる読み出しアドレスの制御の動作と実質的に同じであるので、その説明は省略する。

【0061】データコントローラ33は、データを書き込みの際に、書き込みアドレスA0、A1、A4、A5の指定に応じて仮想最小2次元メモリ空間1上の書き込みアドレスを特定し、この特定された書き込みアドレスからデータを書き込む方向を指定する書き込みアクセスモードに応じて、セクタ34A～34Dがメモリ4A～4Dを選択する際の選択信号をセクタ34A～34Dにそれぞれ出力する。なお、このデータコントローラ33は、データコントローラ23の動作と基本的に同一である。

【0062】また、セクタ34A～34Dは、データコントローラ33からの選択信号に基づき、外部からの各書き込みデータを選択して各メモリ4A～4Dの指定アドレスに同時に供給する。以上説明したように、この実施形態に係る2次元データ・アクセス・メモリによれば、2次元メモリ空間上の指定位置から横方向または縦方向に並んだ連続データを物理的なメモリ4A～4Dから同時に読み出すことができる上に、2次元メモリ空間上の指定位置から横方向または縦方向にデータが連続的に並ぶように各メモリ4A～4Dに同時に書き込むことができるので、効率的なSIMD演算が実現可能となる。

【0063】次に、本発明の演算処理装置の実施形態の構成について、図11を参照して説明する。この実施形態に係る演算処理装置は、図5～図7に示す2次元データ・アクセス・メモリ10を応用して、SIMD型プロセッサ41に2次元DCT（2次元離散的コサイン変換）を行わせるようにしたものである。

【0064】このために、この演算処理装置は、図11

(12)

21

に示すように、2次元データ・アクセス・メモリ10に、SIMD型プロセッサ41と、外部I/F回路42とが接続されている。SIMD型プロセッサ41は、後述のような所定の演算処理に応じて、2次元データ・アクセス・メモリ10におけるデータの読み込みまたは書き込みの際のアドレスを指定できるとともに、上述のアクセスモードを命令プログラムで設定可能なプロセッサである。また、外部I/F回路41は、外部とのデータの授受を行うようになっている。

【0065】次に、このような構成からなる実施形態に係る演算処理装置の動作例について説明する。まず、外部I/F回路42により、2次元DCTを行う対象となる8×8の画素データを、図12に示すように、2次元データ・アクセス・メモリ10に書き込む。

【0066】次に、SIMD型プロセッサ41は、行方向に1次元のDCTを行う。このために、SIMD型プロセッサ41は、図12に示すように、偶数行と奇数行の画素データをペアに、列方向に2つの画素データを読み込み、2行分の1次元DCTをSIMD演算により同時に変換してゆく。そして、図13に示すように、行方向の1次元DCTの結果を、2次元データ・アクセス・メモリ10に書き戻す。

【0067】さらに、SIMD型プロセッサ41は、列方向の1次元DCTを行う。この場合には、図13に示すように、偶数列を奇数列とをペアに、行方向に2つの画素データを読み込み、2列分の1次元DCTをSIMD演算により同時に変換していき、その結果を、再び2次元データ・アクセス・メモリ10に書き戻す。これにより、図14に示すような最終的な2次元DCTの結果が2次元データ・アクセス・メモリ10上に得られる。この結果、再び外部I/F回路42を経由して外部に出力する。

【0068】以上説明したように、この実施形態に係る演算処理装置によれば、この実施形態にかかる2次元データ・アクセス・メモリを利用しているので、SIMD演算を効率的に行うことができる。

(第2の実施の形態) 次に、本発明の第2の実施の形態について、図面を参照して説明する。

【0069】この実施の形態に係るメモリの使用方法では、第1の実施の形態と同様に、図1に示すような仮想2次元メモリ空間1が定められ、図3に示すような2次元メモリ空間3が想定される。以下、この実施の形態に係るメモリの使用方法について説明する。まず、図1に示すような仮想最小2次元メモリ空間1を、図3に示すように縦横方向にタイル状に配列した2次元メモリ空間3を想定する。

【0070】一方、仮想最小2次元メモリ空間1の各アドレスを、仮想最小2次元メモリ空間1の大きさとの関係で決まる4個の物理的なメモリ4A～4Dの所定の各アドレスに、予め割り当てて(対応付けて)おく(図1

22

および図2参照)。次に、仮想最小2次元メモリ空間1上の任意のアドレスから連続的あるいは所定の不連続的なデータを読み出す際のメモリ4A～4Dからの読み出し動作について説明する。

【0071】この場合には、その任意の読み出しアドレスを指定するとともに、データの読み出し方向を指定する読み出しアクセスモードを指定する。この読み出しアクセスモードには、第1の実施の形態と同様の、行方向アクセスモード、列方向アクセスモード、行方向2段アクセスモードに加え、千鳥モードがある。さらに、この実施の形態に係るメモリ使用方法では、動画像の動きベクトル推定におけるメモリ使用方法を示すオプションモードを指定する。

【0072】このオプションモードには、サーキュラーモード、パディングモードがある。以下、各オプションモードおよび千鳥モードについて説明する。サーキュラーモードは、図15に示すように、動きベクトルの推定において、2次元メモリ空間3の記憶領域を跨いでデータが参照される場合に、効率的に動きベクトル推定を行うためのモードである。

【0073】即ち、動きベクトル推定の際、2次元メモリ空間3には、現フレームと時間的に隣接する参照フレームの一定領域(図16参照)が記憶される。そして、2次元メモリ空間3に記憶されたデータの中から、現フレームの注目対象ブロックと最小誤差であるブロック(最も近似するブロック)の検索(ブロックマッチング)が行われていく。このとき、サーキュラーモードでは、検索が終了した2次元メモリ空間3の領域に、現在、2次元メモリ空間3に記憶されている参照フレームのデータに連続する行方向データ、即ち、2次元メモリ空間3の記憶領域の右側に隣接するデータを後述するタイミングで上書きする。つまり、2次元メモリ空間3においては、参照済みのデータに対し、参照フレームにおいて2次元メモリ空間3の記憶領域から連続する行方向のデータが循環的に記憶される。

【0074】そして、2次元メモリ空間3において、検索対象領域(ブロック)が逐次移動され、2次元メモリ空間3に記憶された領域の境界を跨ぐデータが参照される場合、2次元メモリ空間3の記憶領域の境界(右端)を越えて参照されるデータについては、参照するデータのアドレスを補正することにより、2次元メモリ空間3に上書きされている所定アドレスのデータ(循環的に記憶された所定データ)を参照して動きベクトル推定を行う。したがって、サーキュラーモードの場合、ユーザは、検索対象領域が2次元メモリ空間3の境界を跨ぐか否かを意識する必要がないため、効率的に動きベクトル推定を行うことができる。

【0075】ここで、サーキュラーモードで動きベクトル推定を行う処理の方法について説明する。図17は、サーキュラーモードで動きベクトル推定を行うための処

(13)

23

理を表すフローチャートである。図17において、サーキュラーモードが指定されて動きベクトル推定が開始されると、参照フレームにおける検索対象範囲を設定し、仮想最小2次元メモリ空間3のデータを読み出すアドレスを初期化する(ステップS10)。

【0076】次に、所定のアドレスから読み出したデータを参照してブロックマッチングを行い(ステップS20)、検索対象範囲の全てについてブロックマッチングを終了したか否かの判定を行う(ステップS30)。ステップS30において、検索対象範囲の全てについてブロックマッチングを終了していないと判定した場合、仮想最小2次元メモリ空間1内の全てのデータについてブロックマッチングが終了しているか否かの判定を行う(ステップS40)。

【0077】ステップS40において、仮想最小2次元メモリ空間1内の全てのデータについてブロックマッチングが終了していないと判定した場合、未処理のデータについてブロックマッチングを行うため、仮想最小2次元メモリ空間1の読み出しアドレスを更新し(ステップS50)、ステップS20に移行する。一方、ステップS40において、仮想最小2次元メモリ空間1内の全てのデータについてブロックマッチングが終了していると判定した場合、その仮想最小2次元メモリ空間1についてはブロックマッチングが終了している(参照済みである)ことから、新たな参照データ(例えば、参照フレームにおいて隣接する行方向データ)を上書きし(ステップS60)、ステップS50の処理に移行する。

【0078】ステップS30において、検索対象範囲の全てについてブロックマッチングを終了したと判定した場合、動きベクトル推定処理を終了する。次に、パディングモードについて説明する。パディングモードは、図18に示すように、動きベクトルの推定において、2次元メモリ空間3の記憶領域の境界が、参照フレームの画像境界(例えば、画像の右端や下端)と一致する状態である場合、適切に動きベクトル推定を行うためのモードである。

【0079】即ち、動きベクトル推定の際、2次元メモリ空間3において、検索対象領域(ブロック)が逐次移動される。このとき、2次元メモリ空間3の記憶領域の境界が、参照フレームの境界部分と一致する状態であり(図18参照)、この記憶領域の境界を跨ぐデータが参照される場合、記憶領域の境界(右端あるいは下端)を越えて参照されるデータは本来存在しないデータである。そこで、パディングモードでは、記憶領域の境界(右端あるいは下端)を越えて参照されるデータについては、2次元メモリ空間3に記憶された境界のデータ(即ち、2次元メモリ空間3の右端や下端に記憶されたデータ)を参照して動きベクトル推定を行う。つまり、記憶領域の境界(右端あるいは下端)を越えて参照されるデータについては、参照フレームの画像境界の外周

24

に、境界のデータを補完し、そのデータを参照する。したがって、パディングモードの場合、2次元メモリ空間3の記憶領域の境界が、参照フレームの画像境界と一致する状態である場合にも、適切に動きベクトル推定を行うことができる。

【0080】なお、本実施の形態においては、2次元メモリ空間3の右端あるいは下端の記憶領域の境界を越えてデータが参照される場合を例に挙げて説明したが、同様に、2次元メモリ空間3の上端あるいは左端の記憶領域の境界を越えてデータが参照される場合についても本発明を適用可能である。この場合、図25に示す補正值を記憶領域の上端あるいは左端の記憶領域の境界を越えてデータが参照される場合に適合する値に変更することによって上述と同様の処理を実現できる。

【0081】次に、千鳥モードについて説明する。千鳥モードは、読み出しアクセスモードの一つとして入力されるモードであり、図19に示すように、動きベクトルの推定において、ブロックマッチングを高速に行うためのモードである。即ち、動きベクトル推定の際、2次元メモリ空間3には、現フレームと時間的に隣接する参照フレームの一定領域が記憶される。そして、2次元メモリ空間3における仮想最小2次元メモリ空間1の4×4画素のデータのうち、第1行および第3行それぞれの第1列および第3列のデータの合計4画素を読み込み、これらのデータに対してブロックマッチングを行う。このような処理を2次元メモリ空間3の各仮想最小2次元メモリ空間1について行う。同様に、仮想最小2次元メモリ空間1において、読み出す画素データのアドレスを図20に示すように変更しつつ、このような処理を繰り返す。すると、全画素を対象としたブロックマッチングを行うことができ、正確に最小誤差であるブロックを検索することができる。

【0082】ここで、ブロックマッチングを行う際、注目対象ブロックの各画素データと参照される各画素データとの累積残差が最小となるブロックが最も近似するブロックであると判定される。また、千鳥モードのブロックマッチングを行う際には、図20に示すように、4回のブロックマッチングを行うことで、全ての画素データを対象とするブロックマッチングを行うことができる。このとき、千鳥モードでは、図21に示すように、ブロックマッチングの実行回数に応じた累積残差に対する閾値を設定しておき、各ブロックに含まれる各画素データの累積残差が閾値を超えた場合、そのブロックのブロックマッチングを中止し、次の画素データのブロックマッチングへ移行する。したがって、全画素のブロックマッチングを行う必要がないため、2次元メモリ空間3に記憶されたデータに対するブロックマッチングを高速に行うことができる。即ち、動きベクトルの推定を高速に行うことができる。なお、ブロックマッチングを行う画素データの読み込みのパターンは、図19および図20に

(14)

25

示すものの他、任意のアドレスから開始するパターンによって実行することが可能である。

【0083】なお、図21において、閾値 $d_1$ 、 $d_2$ 、 $d_3$ が0（原点）と $d_4$ とを結んだ直線より所定値上回っているのは、千鳥モードのブロックマッチング過程で、例えば、図20の（a）の読み込みを行った時点で、残差が上述の直線の値を超えているために、その後の処理で最小誤差となるブロックを切り捨てる（最小誤差でないとブロックマッチングの対象から外す）という事態を避けるためである。

【0084】このようにして、仮想最小2次元メモリ空間1上の任意の読み出しアドレスが指定され、かつ、読み出しアクセスモードおよびオプションモードが指定されると、その指定読み出しアドレスと指定読み出しアクセスモードと指定オプションモードとに基づいて、メモリ4A～4Dの対応する各アドレスが指定されてデータが読み出されるとともに、その読み出されたデータを同時に出力する。

【0085】例えば、いま、図15において、仮想最小2次元メモリ空間1上において、アドレス $a_{03(2)}$ が指定され、かつ、M3に示すような行方向アクセスモードおよびサーキュラーモードが指定された場合には、以下のようになる。すなわち、この場合には、メモリ4Aはアドレス $a_{03(2)}$ 、メモリ4Bはアドレス $b_{04(2)}$ 、メモリ4Cはアドレス $c_{03(2)}$ 、メモリ4Dはアドレス $d_{03(2)}$ がそれぞれ指定されて、その各データを同時に読み出す。このとき、後述のように、2次元メモリ空間3の同一の行アドレスであって左端のアドレスがメモリ4Bのアドレス $b_{04(2)}$ と対応付けられており、2次元メモリ空間3の同一行アドレスの左端のアドレスに対してアクセスされることによって、メモリ4Bのアドレス $b_{04(2)}$ のデータが読み出される。

【0086】また、例えば、図18において、仮想最小2次元メモリ空間1上において、アドレス $d_{03(2)}$ が指定され、かつ、M3に示すような行方向アクセスモードおよびパディングモードが指定された場合には、以下のようになる。すなわち、この場合には、メモリ4Aおよびメモリ4Bからはデータが読み出されず、メモリ4Cはアドレス $c_{03(2)}$ 、メモリ4Dはアドレス $d_{03(2)}$ がそれぞれ指定されて、その各データを同時に読み出す。このとき、画像境界を超えた部分については、境界のデータ、即ち、メモリ4Cのアドレス $c_{03(2)}$ のデータが読み出される。

【0087】また、例えば、図19において、仮想最小2次元メモリ空間1上において、アドレス $a_n(0)$ が指定され、かつ、千鳥モードが指定された場合には、以下のようになる。すなわち、この場合には、例えば、メモリ4Aはアドレス $a_n(0)$ 、メモリ4Bはアドレス $b_n(2)$ 、メモリ4Cはアドレス $c_n(0)$ 、メモリ4Dはアドレス $d_n(2)$ がそれぞれ指定されて、その各データを同時に読み

26

出す。なお、さらに、図20に示すようにブロックマッチングが行われる際には、所定のアドレスが指定され、各データを読み出す。

【0088】以上説明したように、この実施の形態におけるメモリの使用方法によれば、2次元メモリ空間3上の任意のアクセス位置と読み込みアクセスモードとオプションモードとを指定すると、その指定に応じて、動きベクトルの推定における各処理（サーキュラーモード、パディングモード、千鳥モードに規定される処理）が行われる。このため、この実施の形態に係るメモリの使用方法は、動きベクトルの推定に関するSIMD演算の効率化に寄与できる。

【0089】次に、本発明の2次元データ・アクセス・メモリの実施形態の構成について、図22および図23を参照して説明する。この実施形態に係る2次元データ・アクセス・メモリ100は、上述した実施形態に係るメモリの使用方法を具体化したものであり、読み出しアドレス制御部111および読み出しデータ制御部112にオプションモードを示す信号が入力される点を除いて、その基本的な構成は、第1の実施の形態における2次元データ・アクセス・メモリ10と同様である（図22参照）。したがって、異なる部分である読み出しアドレス制御部111および読み出しデータ制御部112についてのみ説明し、他の部分については2次元データ・アクセス・メモリ10の対応部分と同一番号を付して、説明を省略する。

【0090】読み出しアドレス制御部111は、読み出しアドレスの指定の際に、読み出しアクセスモードの指定に応じて、その読み出しアドレスのうちの所定のアドレスを所定値に変換してメモリ4A～4Dに出力するとともに、アクセスする空間が隣接する仮想最小2次元メモリ空間1を跨ぐ場合には（図3、図4参照）、指定読み出しアクセスモードに応じて、その読み出しアドレスのうちの上記以外のアドレスを補正してメモリ4A～4Dに出力するものである。

【0091】また、読み出しアドレス制御部111は、オプションモードとしてサーキュラーモードが入力された場合、2次元メモリ空間3の記憶領域の境界（右端）を越えてデータが参照されると、そのデータについては、参照するアドレスを循環的に記憶された所定データのアドレスに補正してメモリ4A～4Dに出力するものである。

【0092】また、読み出しアドレス制御部111は、オプションモードとしてパディングモードが入力された場合、2次元メモリ空間3の記憶領域の境界が、参照フレームの境界部分と一致する状態であるときに、この記憶領域の境界を跨ぐデータが参照されると、そのデータについては、代わりに、記憶領域の境界のデータのアドレスを参照してメモリ4A～4Dに出力するものである。

(15)

27

【0093】さらに、読み出しアドレス制御部111は、読み出しアクセスモードとして千鳥モードが入力された場合、仮想最小メモリ空間1において参照されるアドレスを所定の参照パターン（図19参照）のアドレスに補正してメモリ4A～4Dに出力するものである。読み出しデータ制御部112は、データの読み出しの際に、読み出しアドレスの一部に基づいて仮想最小2次元メモリ空間1上の読み出しアドレスを特定し、この特定された読み出しアドレスおよび指定された読み出しアクセスモードおよびオプションモードに応じて、メモリ4A～4Dからの各読み出しデータを並び替え、この並び替えた各読み出しデータを同時に出力するものである。

【0094】次に、図22に示す読み出しアドレス制御部111と読み出しデータ制御部112の詳細な構成について、図23を参照して説明する。読み出しアドレス制御部111は、図23に示すように、アドレスコントローラ121と、4つのアドレス補正部22A～22Dを備えている。アドレスコントローラ121は、読み出しアドレスA0～A9の一部あるいは全部の指定と読み出しアクセスモードおよびオプションモードの指定に応じて、メモリ4A～4Dの下位2ビットのアドレスa0、a1に相当する読み出しアドレスA4、A5を、所定値に変換するためのアドレス変換信号をアドレス補正部22A～22Dに出力するとともに、アクセスする空間が隣接する仮想最小2次元メモリ空間1を跨ぐ場合およびオプションモードとしてサーキュラーモードが指定された場合には、読み出しアクセスモードの指定に応じて、メモリ4A～4Dの上位5ビットのアドレスa2～a7に相当する読み出しアドレスA2、A3、A6～A9を、所定値に補正するための補正信号をアドレス補正部22A～22Dに出力するものである。

【0095】なお、アドレス補正部22A～22Dの構成は、図6に示すアドレス補正部22A～22Dと同様であるため、説明を省略する。読み出しデータ制御部112は、図23に示すように、データコントローラ123と、4つのセクタ24A～24Dとを備えている。データコントローラ123は、データの読み出しの際に、読み出しアドレスA0～A9の一部あるいは全部の指定に応じて仮想最小2次元メモリ空間1上の読み出しアドレスを特定し、この特定された読み出しアドレスからデータを読み出す方向を指定する読み出しアクセスモードと指定されたオプションモードとに応じて、セクタ24A～24Dがメモリ4A～4Dを選択する際の選択信号をセクタ24A～24Dにそれぞれ出力するものである。

【0096】なお、セクタ24A～24Dの構成は、図6に示すセクタ24A～24Dと同様であるため、説明を省略する。次に、このような構成からなる実施形態に係る2次元データ・アクセス・メモリの動作について、図24～図28を参照して説明する。このとき、ア

28

ドレスコントローラ121とアドレス補正部22A～22Dとによる読み出しアドレスの制御と、データコントローラ123とセクタ24A～24Dによる読み出したデータの制御が必要であり、各オプションモードが入力された場合および読み出しアクセスモードとして千鳥モードが入力された場合に分けて、アドレス制御および読み出したデータの制御を説明する。

【0097】オプションモードとしてサーキュラーモードが入力された場合、図23に示すデータコントローラ123は、読み出しアドレスA0、A1、A4、A5の指定に応じて仮想最小2次元メモリ空間1上の読み出しアドレスを特定するとともに、読み出しアクセスモードに応じて、セクタ24A～24Dがメモリ4A～4Dを選択する際の選択信号をセクタ24A～24Dにそれぞれ出力する。

【0098】また、図23に示すアドレスコントローラ121は、読み出しアドレスA0、A1、A4、A5の指定と読み出しアクセスモードの指定に応じて、メモリ4A～4Dの下位2ビットのアドレスa0、a1に相当する読み出しアドレスA4、A5を、所定値に変換するためのアドレス変換信号をアドレス補正部22A～22Dにそれぞれ出力する。

【0099】ここで、2次元メモリ空間3の記憶領域の境界を跨ぐデータが参照されると、アドレスコントローラ121は、そのデータのアドレスを所定データのアドレス（2次元メモリ空間3に循環的に記憶されたデータのアドレス）に補正（変換）するための補正信号をアドレス補正部22A～22Dに出力する。例えば、図24のNo2に示すように、読み出しアドレス「A0、A1」、「A4、A5」として「10」、「00」が指定され、読み出しアクセスモードとして行方向アクセスモード（00）が指定された場合には、アドレス補正部22Aは「-3」、アドレス補正部22Bは「0」、アドレス補正部22Cは「0」、およびアドレス補正部22Dは「0」をそれぞれ補正值として出力する。

【0100】なお、同様に列方向アクセスモードあるいは列方向2段アクセスモードが指定された場合、図15に示すように2次元メモリ空間3が縦nバイトからなるとき、列方向に境界を跨いで参照されたデータのアドレスに対しては、「-(n-4)」が補正值として出力される。図25は、列方向アクセスモードおよび列方向2段アクセスモードが指定された場合の上位3ビット目以降のアドレス補正值を示す図である。

【0101】ここで、読み出しアドレスA0～A9が符号なし2の補数で表現されている場合には、列方向に2次元メモリ空間3の境界（下端）を跨ぐと読み出しアドレスが「0」に戻る事となる。したがって、この場合、図25に示す内容のテーブルを設ける必要がない。ただし、行方向アクセスモードの場合、読み出しアドレスは、2次元メモリ空間3の境界（右端）を跨ぐ場合に

(16)

29

も“0”には戻らないため、図24に示す内容のテーブルを設ける必要がある。

【0102】次に、オプションモードとしてパディングモードが入力された場合、図23に示すデータコントローラ123は、読み出しアドレスA0、A1、A4、A5の指定に応じて仮想最小2次元メモリ空間1上の読み出しアドレスを特定するとともに、読み出しアクセスモードに応じて、セクタ24A~24Dがメモリ4A~4Dを選択する際の選択信号をセクタ24A~24Dにそれぞれ出力する。

【0103】例えば、図26のNo.2に示すように、読み出しアドレス「A0、A1」、「A4、A5」として「10」、「00」が指定され、読み出しアクセスモードとして行方向アクセスモード(00)が指定された場合には、セクタ24Aはメモリ4B、セクタ24Bはメモリ4C、セクタ24Cはメモリ4D、およびセクタ24Dはメモリ4Dをそれぞれ選択する。

【0104】また、図23に示すアドレスコントローラ121は、読み出しアドレスA0、A1、A4、A5の指定と読み出しアクセスモードの指定に応じて、メモリ4A~4Dの下位2ビットのアドレスa0、a1に相当する読み出しアドレスA4、A5を、所定値に変換するためのアドレス変換信号をアドレス補正部22A~22Dにそれぞれ出力する。

【0105】次に、読み出しアクセスモードとして千鳥モードが入力された場合、図23に示すデータコントローラ123は、読み出しアドレスA0、A1、A4、A5の指定に応じて仮想最小2次元メモリ空間1上の読み出しアドレスを特定するとともに、セクタ24A~24Dがメモリ4A~4Dを選択する際の選択信号をセクタ24A~24Dにそれぞれ出力する。

【0106】例えば、図27のNo.42に示すように、読み出しアドレス「A0、A1」、「A4、A5」として「10」、「00」が指定された場合には、セクタ24Aはメモリ4B、セクタ24Bはメモリ4D、セクタ24Cはメモリ4A、およびセクタ24Dはメモリ4Cをそれぞれ選択する。また、図23に示すアドレスコントローラ121は、読み出しアドレスA0、A1、A4、A5の指定に応じて、メモリ4A~4Dの下位2ビットのアドレスa0、a1に相当する読み出しアドレスA4、A5を、所定値に変換するためのアドレス変換信号をアドレス補正部22A~22Dにそれぞれ出力する。

【0107】例えば、図28のNo.18に示すように、読み出しアドレス「A0、A1」、「A4、A5」として「10」、「00」が指定された場合には、アドレス補正部22Aは、メモリ4A~4Dの下位2ビットのアドレスa0、a1のアドレスを、メモリ4Aは「01」、メモリ4Bは「00」、メモリ4Cは「01」、およびメモリ4Dは「00」とするための補正值を出力

30

する。

【0108】以上説明したように、この実施形態に係る2次元データ・アクセス・メモリによれば、千鳥モードにおいては2次元メモリ空間上の指定位置から不連続に並んだデータを物理的なメモリ4A~4Dから同時に読み出し、動きベクトル推定におけるブロックマッチングが行える上に、サーキュラーモードでは2次元メモリ空間の記憶領域の境界を跨ぐデータが参照された場合にも、参照フレームにおける正しいアドレスのデータが参照される。さらに、パディングモードでは、参照フレームの境界を越えてデータが参照される場合にも、境界のデータが補完され、そのデータが参照される。したがって、効率的かつ適切な動きベクトル推定が可能となり、また、その処理における効率的なSIMD演算が実現可能となる。

【0109】次に、本発明の演算処理装置の実施形態の構成について説明する。この実施形態に係る演算処理装置は、図22および図23に示す2次元データ・アクセス・メモリ100を応用して、SIMD型プロセッサ41に動きベクトル推定処理を行わせるようにしたものである。このために、この演算処理装置は、図29に示すように、2次元データ・アクセス・メモリ100に、SIMD型プロセッサ141と、外部I/F回路142とが接続されている。

【0110】SIMD型プロセッサ141は、後述のような所定の演算処理に応じて、2次元データ・アクセス・メモリ100におけるデータの読み込みまたは書き込みの際のアドレスを指定できるとともに、上述のアクセスモードおよびオプションモードを命令プログラムで設定可能なプロセッサである。また、外部I/F回路141は、外部とのデータの授受を行うようになっている。

【0111】次に、このような構成からなる実施形態に係る演算処理装置の動作例について説明する。図30は、この実施の形態に係る演算処理装置の動きベクトル推定処理の動作を示すフローチャートである。図30において、演算処理装置は、現フレーム内の動きベクトル推定を行うブロックを指定し(ステップS101)、そのブロックの中心を基準として、参照フレームに基づく検索対象範囲を決定する(ステップS102)。なお、図31は、現フレームと、参照フレームと、検索対象範囲の関係を示す図であり、併せて、検索対象範囲において2次元データ・アクセス・メモリ100に記憶される領域を示している。

【0112】そして、演算処理装置は、検索対象範囲の一部(以下、「ローカル領域」と言う。)を2次元データ・アクセス・メモリ100に読み込み(ステップS103)、ローカル領域が参照フレームに完全に含まれている(境界を越えていない)か否かの判定を行う(ステップS104)。ステップS104において、ローカル領域が参照フレームに完全には含まれていないと判定し



(17)

31

た場合、演算処理装置は、ローカル領域が参照フレームの境界を超えている範囲（はみ出している範囲）が3画素以内であるか否かの判定を行い（ステップS105）、ローカル領域が参照フレームの境界を超えている範囲（はみ出している範囲）が3画素以内であると判定した場合、オプションモードをパディングモードに設定し、はみ出している範囲については境界のデータを参照しながらブロックマッチングを行う（ステップS106）。そして、演算処理装置の処理は、ステップS109に移行する。

【0113】ステップS105において、ローカル領域が参照フレームの境界を超えている範囲（はみ出している範囲）が3画素以内でないと判定した場合、演算処理装置は、パディングモードでは補完できない範囲（4画素以上）を参照するものであることから、オプションモードをデフォルトモード（サーキュラーモードおよびパディングモードを行わない通常処理のモード）に設定し、はみ出している範囲には、境界のデータを別処理で補完してブロックマッチングを行う（ステップS108）。そして、演算処理装置の処理は、ステップS109に移行する。

【0114】また、ステップS104において、ローカル領域が参照フレームに完全に含まれていると判定した場合、演算処理装置は、オプションモードをサーキュラーモードに設定し、2次元データ・アクセス・メモリ100における参照済みの記憶領域に、参照フレームにおいてローカル領域に隣接するデータを上書きし、ローカル領域の境界を跨いで参照されるデータについては、上書きされた所定データを参照してブロックマッチングを行う（ステップS108）。そして、演算処理装置の処理は、ステップS109に移行する。

【0115】ステップS106～S108の後、演算処理装置は、検索対象範囲の全部を検索（ブロックマッチング）済みであるか否かの判定を行い（ステップS109）、検索対象範囲の全部を検索済みでないと判定した場合、続いて検索を行う範囲にローカル領域を更新する（ステップS110）。そして、演算処理装置の処理は、ステップS103に移行する。

【0116】ステップS109において、検索対象範囲の全部を検索済みであると判定した場合、演算処理装置は、ブロックマッチングの結果、参照フレームの最小誤差であったブロックとの位置関係に基づいて、動きベクトルを推定し（ステップS111）、現フレームの全てのブロックについて動きベクトル推定が終了したか否かの判定を行う（ステップS112）。

【0117】ステップS112において、現フレームの全てのブロックについて動きベクトル推定が終了していないと判定した場合、現フレームの動きベクトル推定を行うブロックの位置を更新し（ステップS113）、ステップS101に移行する。一方、ステップS112に

32

において、現フレームの全てのブロックについて動きベクトル推定が終了したと判定した場合、動きベクトル推定処理を終了する。

【0118】以上説明したように、この実施形態に係る演算処理装置によれば、この実施形態に係る2次元データ・アクセス・メモリを利用しているので、効率的かつ適切な動きベクトル推定が可能となり、また、その処理における効率的なSIMD演算が実現可能となる。以上のように、本発明の第2の実施形態に係る2次元データ・アクセス・メモリによれば、千鳥モードにおいては2次元メモリ空間上の指定位置から不連続に並んだデータを物理的なメモリ4A～4Dから同時に読み出し、動きベクトル推定におけるブロックマッチングが行える上に、サーキュラーモードでは2次元メモリ空間の記憶領域の境界を跨ぐデータが参照された場合にも、参照フレームにおける正しいアドレスのデータが参照される。さらに、パディングモードでは、参照フレームの境界を越えてデータが参照される場合にも、境界のデータが補完され、そのデータが参照される。したがって、効率的かつ適切な動きベクトル推定が可能となり、また、その処理における効率的なSIMD演算が実現可能となる。

【0119】さらに、本発明の第2の実施形態に係る演算処理装置によれば、本発明の第2の実施形態に係る2次元データ・アクセス・メモリを利用しているので、効率的かつ適切な動きベクトル推定が可能となり、また、その処理における効率的なSIMD演算が実現可能となる。なお、第1および第2の実施形態において、アクセスモードあるいはオプションモードを指定するための信号線をアドレス信号（読み出しアドレス信号あるいは書き込みアドレス信号）とは別の信号として入力することとして説明したが、アクセスモードあるいはオプションモードを指定するための信号線をアドレス信号とまとめて入力することとしてもよい。例えば、図32に示すように、アドレス信号の最上位ビット部分にアクセスモードあるいはオプションモードを割り当てることとしてもよい。図33は、図32のように信号を割り当てた場合の読み出しアドレス制御部と読み出しデータ制御部の構成例を示すブロック図である。

【0120】このような構成とした場合、2次元データ・アクセス・メモリを使用して処理を行う場合、ユーザは、アドレスを入力する際に、併せてアクセスモードあるいはオプションモードを入力するのみでよい。入力操作がより簡単なものとなる。また、2次元データ・アクセス・メモリの構成がより単純なものとなるため、回路規模を縮小することができ、集積度を向上させること等が可能となる。

【0121】

【発明の効果】以上説明したように、本発明のメモリの使用方法によれば、SIMD演算の効率化に寄与できる。また、本発明の2次元データ・アクセス・メモリに

(18)

33

よれば、2次元メモリ空間上の指定位置から横方向または縦方向に並んだ連続データあるいは不連続データを、物理的な各メモリから同時に読み出すことができるので、効率的なSIMD演算が実現可能となる。

【0122】さらに、本発明の2次元データ・アクセス・メモリによれば、2次元メモリ空間上の指定位置から横方向または縦方向に並んだ連続データを物理的な各メモリから同時に読み出すことができる上に、2次元メモリ空間上の指定位置から横方向または縦方向にデータが連続的に並ぶように物理的な各メモリに同時に書き込むことができるので、効率的なSIMD演算が実現可能となる。また、動画像の動きベクトル推定に係る処理の効率化に寄与できる。

【0123】また、本発明の演算処理装置によれば、本発明の2次元データ・アクセス・メモリを利用するようにしたので、SIMD演算を効率的に行うことができるようになる。

【図面の簡単な説明】

【図1】仮想最小2次元メモリ空間の一例を示す図である。

【図2】仮想最小2次元メモリ空間の物理メモリへのマッピングを示す図である。

【図3】仮想最小2次元メモリ空間に基づいて形成される2次元メモリ空間の一例を示す図である。

【図4】アクセスモードを説明する図である。

【図5】本発明の第1の実施形態に係る2次元データ・アクセス・メモリの実施形態の構成を示すブロック図である。

【図6】図5の読み出しアドレス制御部と読み出しデータ制御部の構成を示すブロック図である。

【図7】図5の書き込みアドレス制御部と書き込みデータ制御部の構成を示すブロック図である。

【図8】読み出しアドレスと読み出しアクセスモードに応じて、各セクタがどのメモリの出力を選択するかを示す図である。

【図9】読み出しアドレスの変換例を示す図である。

【図10】読み出しアドレスの補正例を示す図である。

【図11】本発明の第1の実施形態に係る演算処理装置の実施形態の構成を示すブロック図である。

【図12】図11に示す2次元データ・アクセス・メモリの動作例（書き込み例）を示す図である。

【図13】その2次元データ・アクセス・メモリの他の動作例を示す図である。

【図14】その2次元データ・アクセス・メモリのさらに他の動作例を示す図である。

【図15】2次元メモリ空間3の記憶領域を跨いだ場合に、サーキュラーモードにおいて参照されるアドレスを示す図である。

【図16】サーキュラーモードの場合の動作例を示す図である。

34

【図17】サーキュラーモードで動きベクトル推定を行うための処理を表すフローチャートである。

【図18】パディングモードが行われる場合である、2次元メモリ空間3の記憶領域の境界が、参照フレームの画像境界と一致する状態を示す図である。

【図19】千鳥モードにおけるデータ読み込みパターンの一例を示す図である。

【図20】千鳥モードにおけるデータ読み出し順序を示す図である。

【図21】ブロックマッチングの実行回数と累積残差に対する閾値との関係を示す図である。

【図22】本発明の第2の実施形態に係る2次元データ・アクセス・メモリの実施形態の構成を示すブロック図である。

【図23】読み出しアドレス制御部111と読み出しデータ制御部112の詳細な構成を示す図である。

【図24】サーキュラーモードにおいて、行方向アクセスモードが指定された場合の上位3ビット目以降のアドレス補正值を示す図である。

【図25】サーキュラーモードにおいて、列方向アクセスモードおよび列方向2段アクセスモードが指定された場合の上位3ビット目以降のアドレス補正值を示す図である。

【図26】パディングモードにおいて、各セクタがどのメモリの出力を選択するかを示す図である。

【図27】千鳥モードにおいて、各セクタがどのメモリの出力を選択するかを示す図である。

【図28】千鳥モードにおけるメモリ4A～4Dの下位2ビットのアドレスa0、a1のアドレスを示す図である。

【図29】本発明の第2の実施形態に係る演算処理装置の実施形態の構成を示すブロック図である。

【図30】本発明の第2の実施形態に係る演算処理装置の動きベクトル推定処理の動作を示すフローチャートである。

【図31】現フレームと、参照フレームと、検索対象範囲の関係および検索対象範囲において2次元データ・アクセス・メモリ100に記憶される領域を示す図である。

【図32】アドレス信号の最上位ビット部分にアクセスモードあるいはオプションモードを割り当てた場合のデータ構成例を示す図である。

【図33】図32のように信号を割り当てた場合の読み出しアドレス制御部と読み出しデータ制御部の構成例を示すブロック図である。

【符号の説明】

- 1 仮想最小2次元メモリ空間
- 2 仮想的な記憶素子
- 3 2次元メモリ空間
- 4A～4D 物理的なメモリ

(19)

35

- 1 1 読み出しアドレス制御部  
 1 2 読み出しデータ制御部  
 1 3 書き込みアドレス制御部  
 1 4 書き込みデータ制御部  
 2 1 アドレスコントローラ  
 2 2 A～2 2 D アドレス補正部

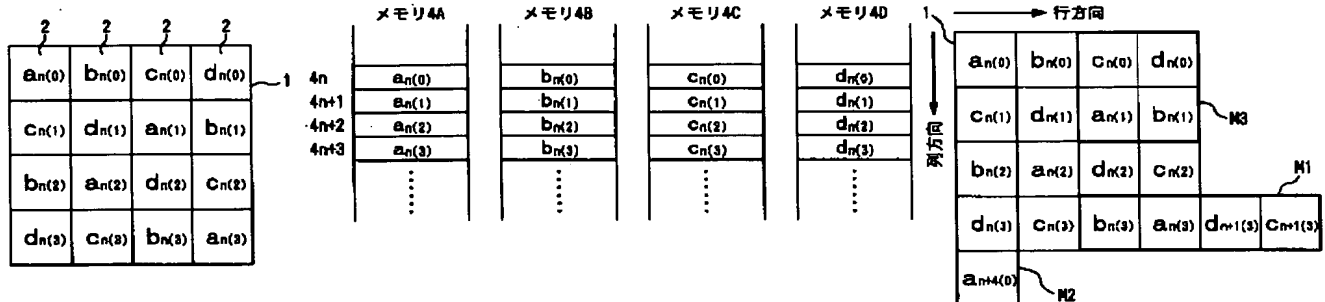
【図 1】

36

- 2 3 データコントローラ  
 2 4 A～2 4 D セクタ  
 3 1 アドレスコントローラ  
 3 2 A～3 2 D アドレス補正部  
 3 3 データコントローラ  
 3 4 A～3 4 D セクタ

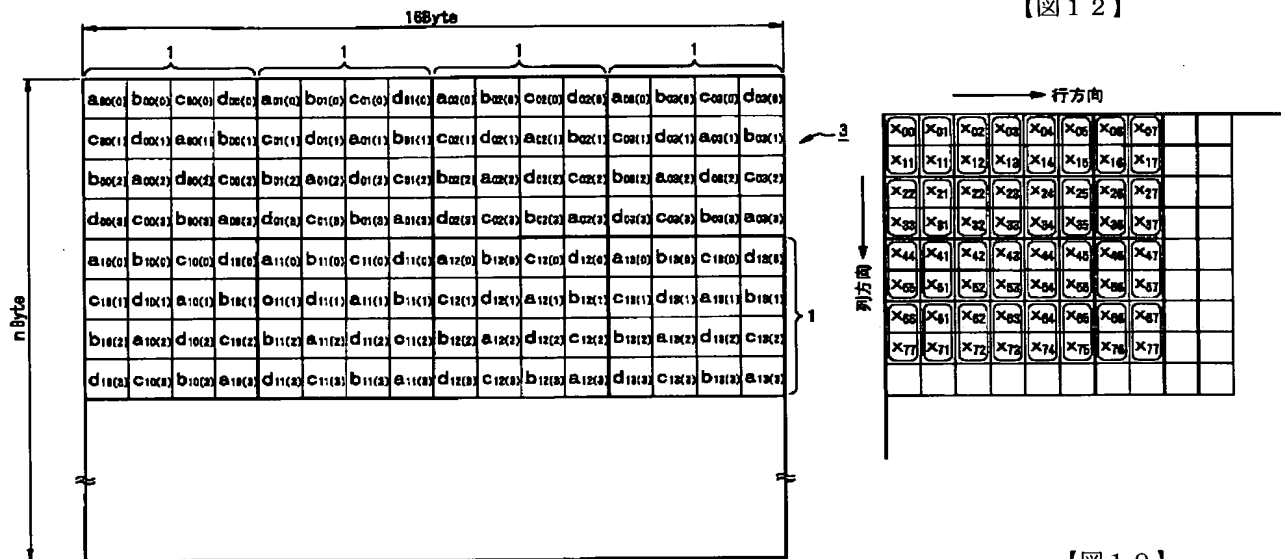
【図 2】

【図 4】



【図 3】

【図 1 2】

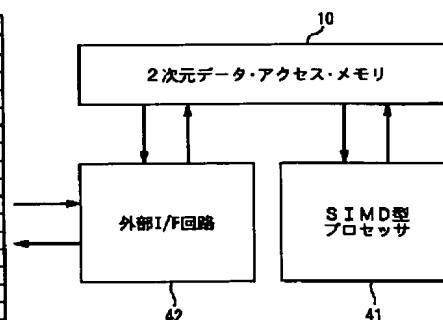


【図 1 9】

【図 9】

【図 1 1】

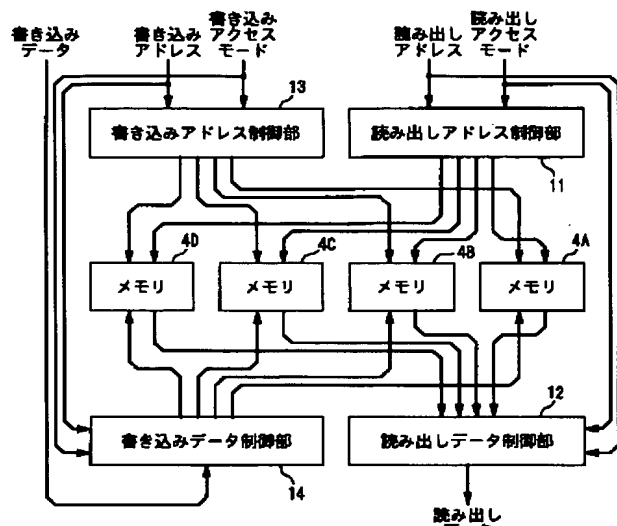
読み出し アクセスモード	読み出しアドレス	メモリ4A	メモリ4B	メモリ4C	メモリ4D
	A0 A1 A4 A5 a0 a1 a0 a1 a0 a1 a0 a1				
行方向 アクセスモード	— — 0 0 0 0 0 0 0 0 0 0				
	— — 1 0 1 0 1 0 1 0 1 0 1 0				
	— — 0 1 0 1 0 1 0 1 0 1 0 1				
	— — 1 1 1 1 1 1 1 1 1 1 1 1				
列方向 アクセスモード	0 0 — — 0 0 0 0 1 1 0 1				
	1 0 — — 0 1 0 0 1 1 1 0				
	0 1 — — 1 0 1 1 0 0 0 1				
	1 1 — — 1 1 1 1 0 0 1 1				
列方向2段 アクセスモード (16bit×2)	0 0 0 0 0 0 0 0 0 1 0 1				
	0 0 0 0 0 0 0 0 1 1 0 0				
	0 0 0 0 1 0 1 0 1 1 1 1				
	0 0 0 0 1 0 1 0 0 1 1 1				
	0 1 0 0 1 0 1 0 0 0 0 0				
	0 1 1 0 1 0 1 0 0 1 0 1				
	0 1 0 1 1 1 1 1 1 0 1 0				
	0 1 1 1 1 1 1 1 0 0 0 0				



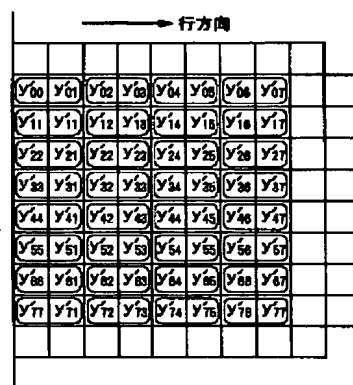
a <sub>n</sub> (0)	b <sub>n</sub> (0)	c <sub>n</sub> (0)	d <sub>n</sub> (0)
a <sub>n</sub> (1)	b <sub>n</sub> (1)	c <sub>n</sub> (1)	d <sub>n</sub> (1)
a <sub>n</sub> (2)	b <sub>n</sub> (2)	c <sub>n</sub> (2)	d <sub>n</sub> (2)
a <sub>n</sub> (3)	b <sub>n</sub> (3)	c <sub>n</sub> (3)	d <sub>n</sub> (3)

(20)

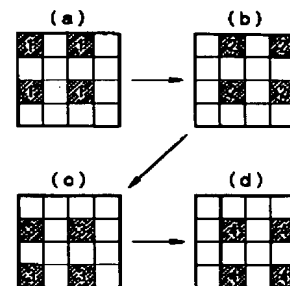
【図5】



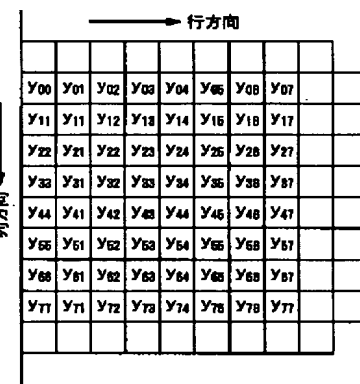
【図13】



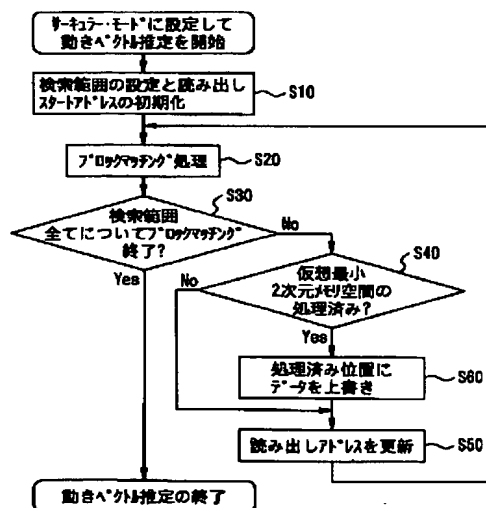
【図20】



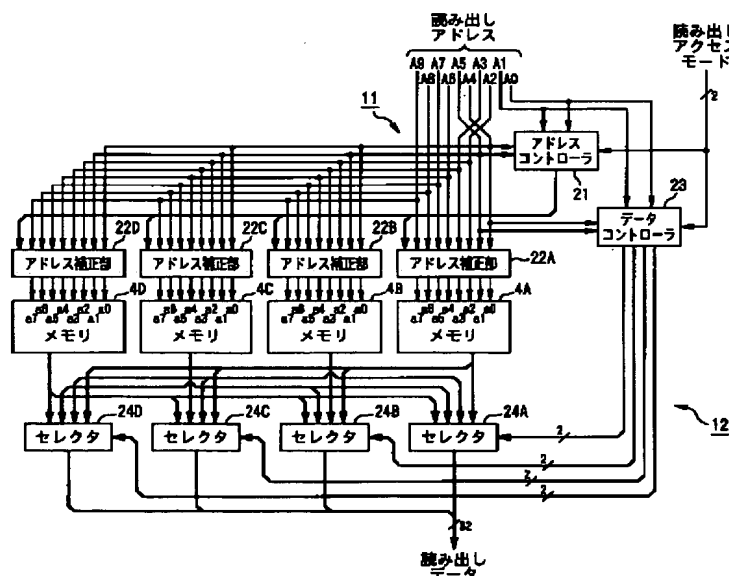
【図14】



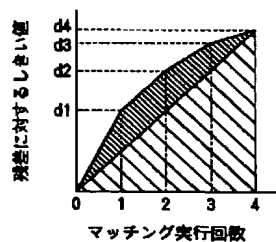
【図17】



【図6】

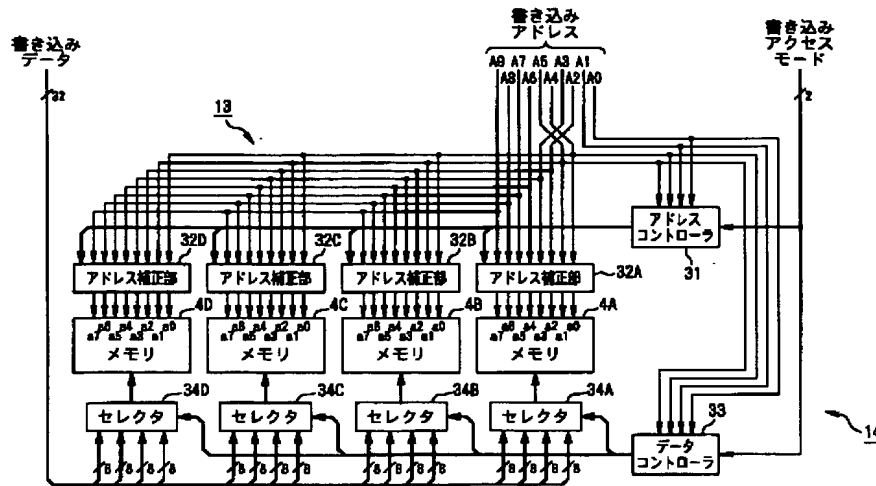


【図21】

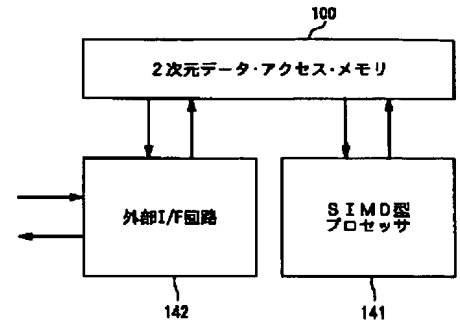


(21)

【図7】



【図29】



【図8】

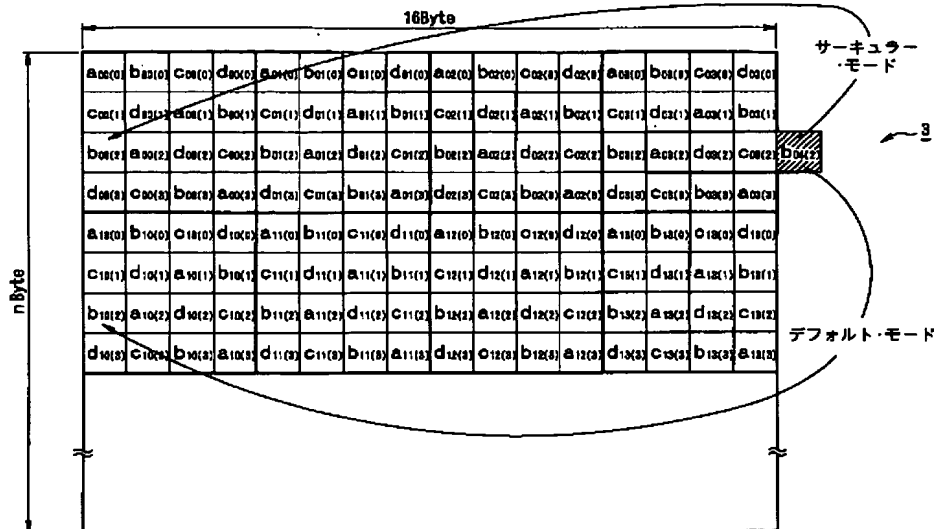
No.	読み出しアクセスモード	読み出しアドレス	セレクトラ 24A	セレクトラ 24B	セレクトラ 24C	セレクトラ 24D
1	行方向 アクセスモード (00)	0 0 0 0	4A	4B	4C	4D
2		1 0 0 0	4B	4C	4D	4A
3		0 1 0 0	4C	4D	4A	4B
4		1 1 0 0	4D	4A	4B	4C
5		0 0 1 0	4C	4D	4A	4B
6		1 0 1 0	4D	4A	4B	4C
7		0 1 1 0	4A	4B	4C	4D
8		1 1 1 0	4B	4C	4D	4A
9		0 0 0 1	4B	4A	4C	4D
10		1 0 0 1	4A	4D	4C	4B
11		0 1 0 1	4D	4C	4B	4A
12		1 1 0 1	4C	4B	4A	4D
13		0 0 1 1	4D	4C	4B	4A
14		1 0 1 1	4C	4B	4A	4D
15		0 1 1 1	4B	4A	4D	4C
16		1 1 1 1	4A	4D	4C	4B
17	列方向 アクセスモード (01)	0 0 0 0	4A	4C	4B	4D
18		1 0 0 0	4B	4D	4A	4C
19		0 1 0 0	4C	4A	4D	4B
20		1 1 0 0	4D	4B	4C	4A
21		0 0 1 0	4C	4B	4D	4A
22		1 0 1 0	4D	4A	4C	4B
23		0 1 1 0	4A	4D	4B	4C
24		1 1 1 0	4B	4C	4A	4D
25		0 0 0 1	4B	4D	4A	4C
26		1 0 0 1	4A	4C	4B	4D
27		0 1 0 1	4D	4B	4A	4C
28		1 1 0 1	4C	4A	4D	4B
29		0 0 1 1	4D	4A	4C	4B
30		1 0 1 1	4C	4B	4D	4A
31		0 1 1 1	4B	4C	4A	4D
32		1 1 1 1	4A	4D	4B	4C
33	列方向2段 アクセスモード 16bit×2 (10)	0 0 0 0	4A	4B	4C	4D
34		0 1 0 0	4C	4D	4A	4B
35		0 0 1 0	4C	4D	4B	4A
36		0 1 1 0	4A	4B	4D	4C
37		0 0 0 1	4B	4A	4D	4C
38		0 1 0 1	4D	4C	4B	4A
39		0 0 1 1	4D	4C	4A	4B
40		0 1 1 1	4B	4A	4C	4D

【図10】

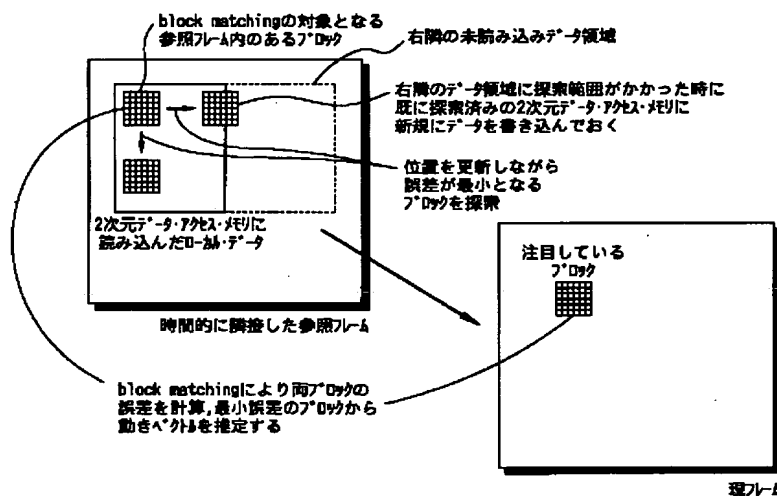
No.	読み出しアクセスモード	読み出しアドレス	アドレス補正部22A	アドレス補正部22B	アドレス補正部22C	アドレス補正部22D
1	行方向 アクセスモード (00)	0 0 0 0	0	0	0	0
2		1 0 0 0	+1	0	0	0
3		0 1 0 0	+1	+1	0	0
4		1 1 0 0	+1	+1	+1	0
5		0 0 1 0	0	0	0	0
6		1 0 1 0	0	0	+1	0
7		0 1 1 0	0	0	+1	+1
8		1 1 1 0	+1	0	+1	+1
9		0 0 0 1	0	0	0	0
10		1 0 0 1	0	+1	0	0
11		0 1 0 1	+1	+1	0	0
12		1 1 0 1	+1	+1	0	+1
13		0 0 1 1	0	0	0	0
14		1 0 1 1	0	0	0	+1
15		0 1 1 1	0	0	+1	+1
16		1 1 1 1	0	+1	+1	+1
17	列方向 アクセスモード (01)	0 0 0 0	0	0	0	0
18		1 0 0 0	0	0	0	0
19		0 1 0 0	0	0	0	0
20		1 1 0 0	0	0	0	0
21		0 0 1 0	+4	0	0	0
22		1 0 1 0	0	+4	0	0
23		0 1 1 0	0	0	+4	0
24		1 1 1 0	0	0	0	+4
25		0 0 0 1	+4	0	+4	0
26		1 0 0 1	0	+4	0	+4
27		0 1 0 1	+4	0	+4	0
28		1 1 0 1	0	+4	0	+4
29		0 0 1 1	+4	+4	+4	0
30		1 0 1 1	+4	+4	0	+4
31		0 1 1 1	+4	0	+4	+4
32		1 1 1 1	0	+4	+4	+4
33	列方向2段 アクセスモード 16bit×2 (10)	0 0 0 0	0	0	0	0
34		0 1 0 0	0	0	0	0
35		0 0 1 0	0	0	0	0
36		0 1 1 0	0	0	0	0
37		0 0 0 1	0	0	0	0
38		0 1 0 1	0	0	0	0
39		0 0 1 1	+4	+4	0	0
40		0 1 1 1	0	0	+4	+4

(22)

【図15】



【図16】



【図24】

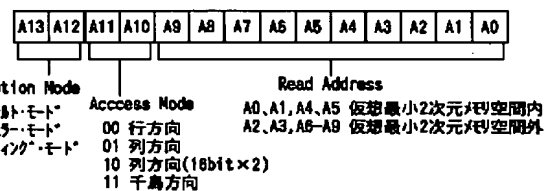
(条件: サークル・モード, かつ A2=A3=1の時)

No.	読み出しアクセスモード	読み出しアドレス				アドレス補正部22A				アドレス補正部22B				アドレス補正部22C				アドレス補正部22D			
		A0	A1	A4	A5																
1	行方向アクセスモード (00)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2		1	0	0	0	0	-3	0	0	0	0	0	0	0	0	0	0	0	0	0	0
3		0	1	0	0	0	-3	-3	0	0	0	0	0	0	0	0	0	0	0	0	0
4		1	1	0	0	0	-3	-3	-3	0	0	0	0	0	0	0	0	0	0	0	0
5		0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
6		1	0	1	0	0	0	0	0	0	0	0	0	-3	0	0	0	0	0	0	0
7		0	1	1	0	0	0	0	0	0	0	0	0	-3	-3	0	0	0	0	0	0
8		1	1	1	0	0	-3	0	0	-3	-3	0	0	-3	-3	0	0	0	0	0	0
9		0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
10		1	0	0	1	0	0	-3	0	-3	0	0	0	0	0	0	0	0	0	0	0
11		0	1	0	1	0	-3	-3	0	0	0	0	0	0	0	0	0	0	0	0	0
12		1	1	0	1	0	-3	-3	0	0	0	0	0	-3	-3	0	0	0	0	0	0
13		0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
14		1	0	1	1	0	0	0	0	0	0	0	0	-3	-3	0	0	0	0	0	0
15		0	1	1	1	0	0	0	0	-3	-3	0	0	-3	-3	0	0	0	0	0	0
16		1	1	1	1	0	0	-3	-3	-3	-3	0	0	-3	-3	0	0	0	0	0	0

【図28】

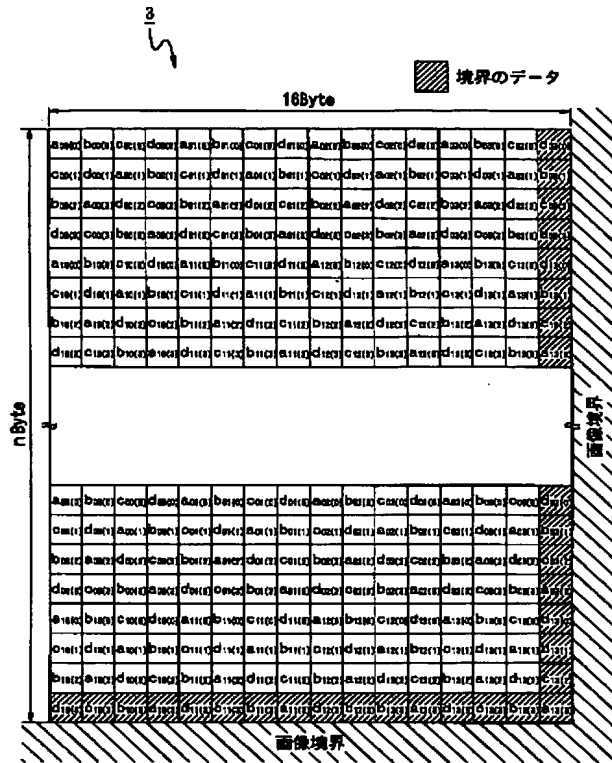
読み出しアクセスモード	読み出しアドレス				メモリ4A		メモリ4B		メモリ4C		メモリ4D	
	A0	A1	A4	A5	a0	a1	a0	a1	a0	a1	a0	a1
行方向アクセスモード	0	0	0	0	0	0	0	0	0	0	0	0
	1	0	0	0	0	0	0	0	0	0	0	0
	0	1	0	0	0	0	0	0	0	0	0	0
	1	1	0	0	0	0	0	0	0	0	0	0
列方向アクセスモード	0	0	0	0	0	0	0	0	0	0	0	0
	1	0	0	0	0	0	0	0	0	0	0	0
	0	1	0	0	0	0	0	0	0	0	0	0
	1	1	0	0	0	0	0	0	0	0	0	0
列方向2段アクセスモード (16bit×2)	0	0	0	0	0	0	0	0	0	0	0	0
	1	0	0	0	0	0	0	0	0	0	0	0
	0	1	0	0	0	0	0	0	0	0	0	0
	1	1	0	0	0	0	0	0	0	0	0	0
千鳥モード	0	1	1	0	0	0	0	0	0	0	0	0
	1	0	1	0	0	0	0	0	0	0	0	0
	0	1	1	0	0	0	0	0	0	0	0	0
	1	1	1	0	0	0	0	0	0	0	0	0

【図32】

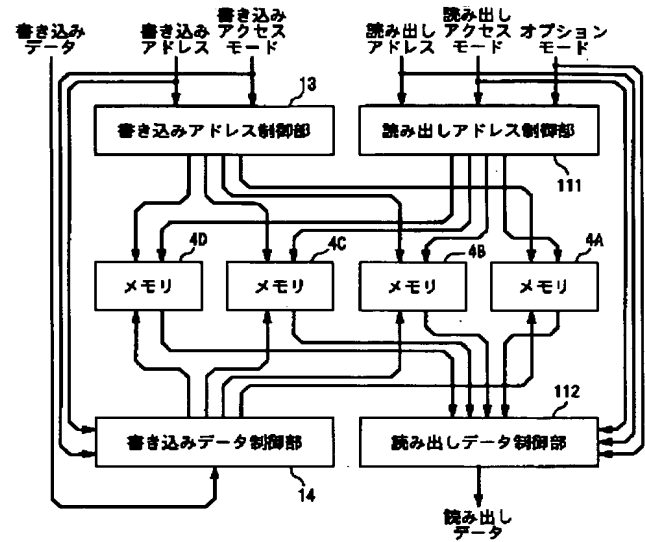


(23)

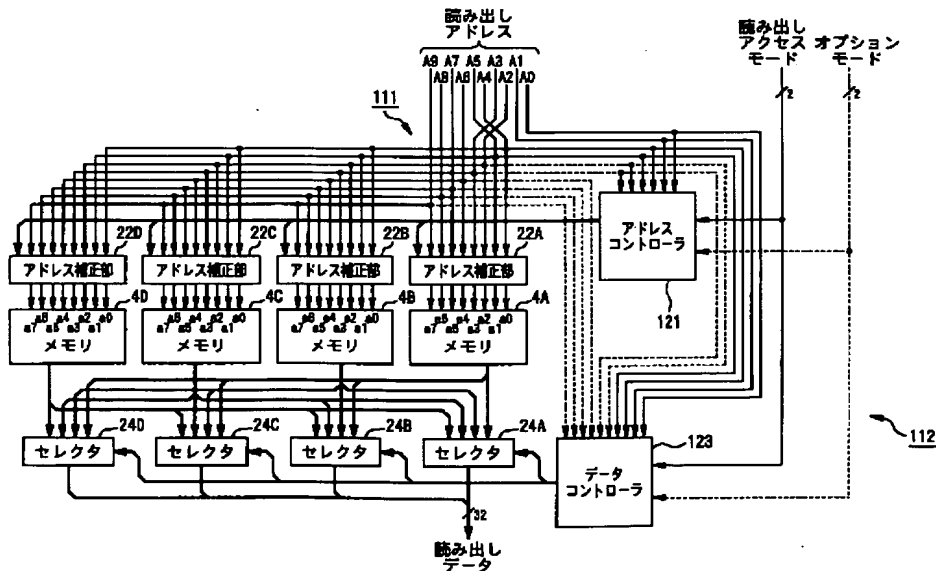
【図18】



【図22】



【図23】



(24)

【図25】

(条件: サークュラー・モード, かつ  $A6=A7=A8=A9=1$  の時)

No.	読み出し アクセスモード	読み出しアドレス A0 A1 A4 A5	アドレス 補正部22A	アドレス 補正部22B	アドレス 補正部22C	アドレス 補正部22D
17	列方向 アクセスモード (01)	0 0 0 0	0	0	0	0
18		1 0 0 0	0	0	0	0
19		0 1 0 0	0	0	0	0
20		1 1 0 0	0	0	0	0
21		0 0 1 0	-(n-4)	0	0	0
22		1 0 1 0	0	-(n-4)	0	0
23		0 1 1 0	0	0	-(n-4)	0
24		1 1 1 0	0	0	0	-(n-4)
25		0 0 0 1	-(n-4)	0	-(n-4)	0
26		1 0 0 1	0	-(n-4)	0	-(n-4)
27		0 1 0 1	-(n-4)	0	-(n-4)	0
28		1 1 0 1	0	-(n-4)	0	-(n-4)
29		0 0 1 1	-(n-4)	-(n-4)	-(n-4)	0
30		1 0 1 1	-(n-4)	-(n-4)	0	-(n-4)
31		0 1 1 1	-(n-4)	0	-(n-4)	-(n-4)
32		1 1 1 1	0	-(n-4)	-(n-4)	-(n-4)
33	列方向2段 アクセスモード 16bit×2 (10)	0 0 0 0	0	0	0	0
34		0 1 0 0	0	0	0	0
35		0 0 1 0	0	0	0	0
36		0 1 1 0	0	0	0	0
37		0 0 0 1	0	0	0	0
38		0 1 0 1	0	0	0	0
39		0 0 1 1	-(n-4)	-(n-4)	0	0
40		0 1 1 1	0	0	-(n-4)	-(n-4)

【図27】

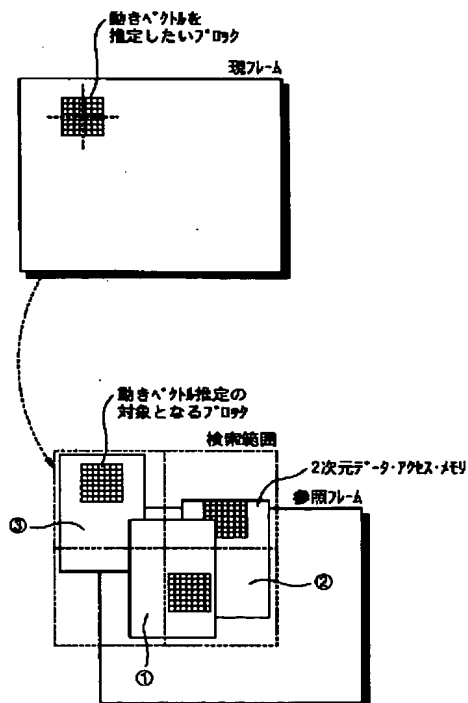
No.	読み出し アクセスモード	読み出しアドレス A0 A1 A4 A5	セレクト 24A	セレクト 24B	セレクト 24C	セレクト 24D
1	行方向 アクセスモード (00)	0 0 0 0	4A	4B	4C	4D
2		1 0 0 0	4B	4C	4D	4A
3		0 1 0 0	4C	4D	4A	4B
4		1 1 0 0	4D	4A	4B	4C
5		0 0 1 0	4C	4D	4A	4B
6		1 0 1 0	4D	4A	4B	4C
7		0 1 1 0	4A	4B	4C	4D
8		1 1 1 0	4B	4C	4D	4A
9		0 0 0 1	4B	4A	4D	4C
10		1 0 0 1	4A	4D	4C	4B
11		0 1 0 1	4D	4C	4B	4A
12		1 1 0 1	4C	4B	4A	4D
13		0 0 1 1	4D	4C	4B	4A
14		1 0 1 1	4C	4B	4A	4D
15		0 1 1 1	4B	4A	4D	4C
16		1 1 1 1	4A	4D	4C	4B
17	列方向 アクセスモード (01)	0 0 0 0	4A	4C	4B	4D
18		1 0 0 0	4B	4D	4A	4C
19		0 1 0 0	4C	4A	4D	4B
20		1 1 0 0	4D	4B	4C	4A
21		0 0 1 0	4C	4B	4D	4A
22		1 0 1 0	4D	4A	4C	4B
23		0 1 1 0	4A	4D	4B	4C
24		1 1 1 0	4B	4C	4A	4D
25		0 0 0 1	4B	4D	4A	4C
26		1 0 0 1	4A	4C	4B	4D
27		0 1 0 1	4D	4B	4A	4C
28		1 1 0 1	4C	4A	4D	4B
29		0 0 1 1	4D	4A	4C	4B
30		1 0 1 1	4C	4B	4D	4A
31		0 1 1 1	4B	4C	4A	4D
32		1 1 1 1	4A	4D	4B	4C
33	列方向2段 アクセスモード 16bit×2 (10)	0 0 0 0	4A	4B	4C	4D
34		0 1 0 0	4C	4D	4A	4B
35		0 0 1 0	4C	4D	4B	4A
36		0 1 1 0	4A	4B	4D	4C
37		0 0 0 1	4B	4A	4D	4C
38		0 1 0 1	4D	4C	4B	4A
39		0 0 1 1	4D	4C	4A	4B
40		0 1 1 1	4B	4A	4C	4D
41	千鳥モード (11)	0 0 0 0	4A	4C	4B	4D
42		1 0 0 0	4B	4D	4A	4C
43		0 1 0 0	4C	4A	4D	4B
44		1 1 0 0	4D	4B	4C	4A

【図26】

(条件: パディング・モードで,  $A2=A3=1$ , または  $A6=A7=A8=A9=1$  の場合)

No.	読み出し アクセスモード	読み出しアドレス A0 A1 A4 A5	セレクト 24A	セレクト 24B	セレクト 24C	セレクト 24D
1	行方向 アクセスモード (00)	0 0 0 0	4A	4B	4C	4D
2		1 0 0 0	4B	4C	4D	4A
3		0 1 0 0	4C	4D	4A	4B
4		1 1 0 0	4D	4A	4B	4C
5		0 0 1 0	4C	4D	4A	4B
6		1 0 1 0	4D	4A	4B	4C
7		0 1 1 0	4A	4B	4C	4D
8		1 1 1 0	4B	4C	4D	4A
9		0 0 0 1	4B	4A	4D	4C
10		1 0 0 1	4A	4D	4C	4B
11		0 1 0 1	4D	4C	4B	4A
12		1 1 0 1	4C	4B	4A	4D
13		0 0 1 1	4D	4C	4B	4A
14		1 0 1 1	4C	4B	4A	4D
15		0 1 1 1	4B	4A	4D	4C
16		1 1 1 1	4A	4D	4B	4C
17	列方向 アクセスモード (01)	0 0 0 0	4A	4C	4B	4D
18		1 0 0 0	4B	4D	4A	4C
19		0 1 0 0	4C	4A	4D	4B
20		1 1 0 0	4D	4B	4C	4A
21		0 0 1 0	4C	4B	4D	4A
22		1 0 1 0	4D	4A	4C	4B
23		0 1 1 0	4A	4D	4B	4C
24		1 1 1 0	4B	4C	4A	4D
25		0 0 0 1	4B	4D	4A	4C
26		1 0 0 1	4A	4C	4B	4D
27		0 1 0 1	4D	4B	4A	4C
28		1 1 0 1	4C	4A	4D	4B
29		0 0 1 1	4D	4C	4B	4A
30		1 0 1 1	4C	4B	4D	4A
31		0 1 1 1	4B	4C	4A	4D
32		1 1 1 1	4A	4D	4B	4C
33	列方向2段 アクセスモード 16bit×2 (10)	0 0 0 0	4A	4B	4C	4D
34		0 1 0 0	4C	4D	4A	4B
35		0 0 1 0	4C	4D	4B	4A
36		0 1 1 0	4A	4B	4D	4C
37		0 0 0 1	4B	4A	4D	4C
38		0 1 0 1	4D	4C	4B	4A
39		0 0 1 1	4D	4C	4A	4B
40		0 1 1 1	4B	4A	4C	4D

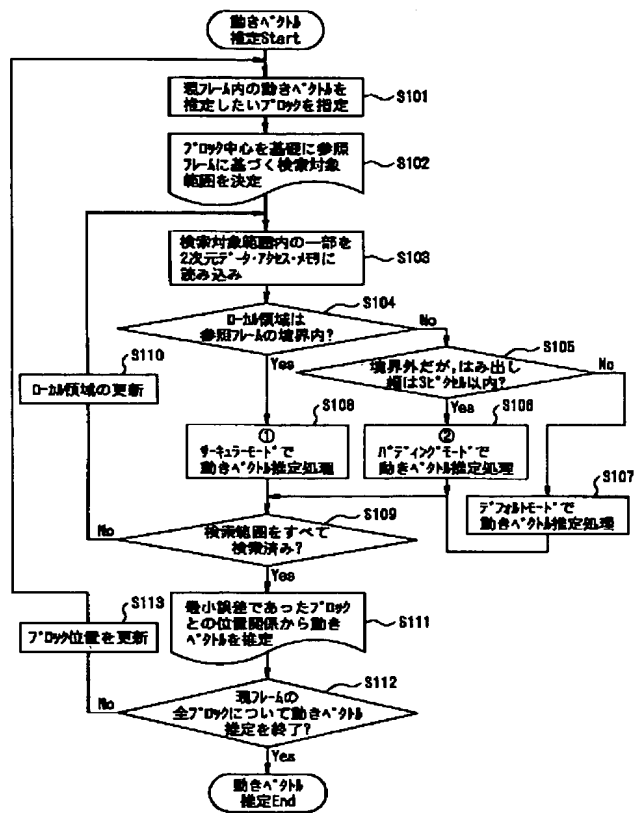
【図31】



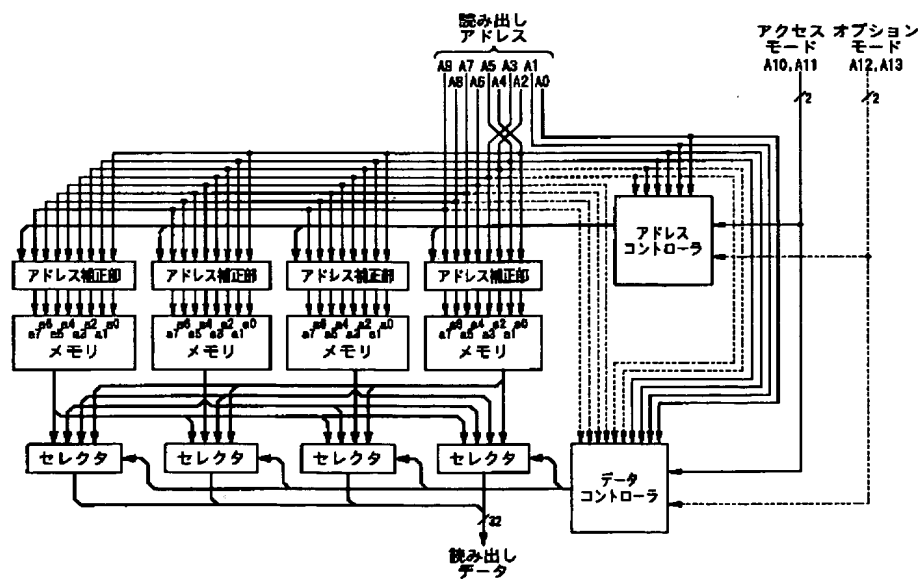


(25)

【図30】



【図33】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**